

BEST AVAILABLE COPY

특 2001-01 04294

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.
G09G 3/30(11) 공개번호 특 2001-01 04294
(43) 공개일자 2001년 11월 24일

(21) 출원번호	10-2001-0025976
(22) 출원일자	2001년 05월 12일
(30) 우선권주장	2000-140043 2000년 05월 12일 일본(JP)
(71) 출원인	가부시키가이샤 한도오따이 에네루기 켄큐쇼 아마자끼 순페이
(72) 발명자	일본국 가나가와켄 마쓰기시 하세 398 아마자끼순페이
(74) 대리인	일본국 가나가와켄 마쓰기시 하세 398 가부시키가이시한도오따이에네루기켄큐쇼내 고야마준 타카야마토루 일본국 가나가와켄 마쓰기시 하세 398 가부시키가이시한도오따이에네루기켄큐쇼내 황의만

실사점구 : 없음(54) 발광장치 및 전기 기구

요약

본 발명은 밝은 화상을 표시할 수 있는 저렴한 발광장치 및 상기 발광장치를 이용한 전기 기구를 제공한다. 하나의 절연 부재 위에 화소부 및 구동회로가 형성되는 발광장치의 경우, 상기 화소부 및 상기 구동회로를 위한 모든 반도체 소자들은 n채널형 반도체 소자에 의해 형성될으로써, 제작공정이 단순화된다. 상기 화소부에 제공되는 각각의 발광 소자는, 대부분의 광이 이동하여 상기 절연 부재로부터 멀어지는 방향으로 광을 방사함으로써, 실제로 화소 형성 세그먼트 전극(EL 소자의 음극에 대응함)의 전체가 유효 발광 영역으로서 형성된다. 따라서, 밝은 화상을 표시할 수 있는 저가의 발광장치를 얻을 수 있다.

도표도

도 1

설명

EL 표시장치, 액티브 매트릭스 EL 발광장치, 구동회로, 전류 제어용 TFT, 스위칭용 TFT

도 2

도면의 간접적 설명

도 1은 발광장치의 구조를 나타내는 증단면도.

도 2(A) 및 도 2(B)는 도 1에 나타낸 발광장치의 화소부의 회로 구성을 각각 나타내는 도면.

도 3(A) 및 도 3(B)는 NMOS 회로의 구성을 각각 나타내는 도면.

도 4(A) 및 도 4(B)는 시프트 레지스터의 구성을 나타내는 도면.

도 5(A) 내지 도 5(E)는 표 1 발광장치의 제작공정을 나타내는 단면도.

도 6(A) 내지 도 6(D)는 표 1 발광장치의 제작공정을 나타내는 단면도.

도 7은 EL 발광장치의 제작공정을 나타내는 단면도.

도 8은 EL 발광장치의 회로 블록의 구성을 나타내는 도면.

도 9(A) 및 도 9(B)는 EL 발광장치의 구조의 일례를 나타내는 평면도 및 증단면도.

도 10(A) 및 도 10(B)는 표 1 발광장치의 구조의 다른 예를 나타내는 평면도 및 증단면도.

도 11(A) 내지 도 11(C)는 표 1 발광장치의 제작공정을 나타내는 단면도.

도 12는 게이트측 구동회로의 구성을 나타내는 도면.

도 13은 디코더 입력 신호의 파형도.

도 14는 소스측 구동회로의 구성을 나타내는 도면.

도 15는 게이트측 구동회로의 구성을 나타내는 도면.

도 16은 소스측 구동회로의 구성을 나타내는 도면.

도 17(A) 및 도 17(B)는 화소부의 구조의 일례를 나타내는 도면.

도 18(A) 및 도 18(B)는 증래의 EL 발광장치의 구조의 일례를 나타내는 도면.

도 19(A) 및 도 19(B)는 화소 형성 세그먼트의 TFT의 구조의 일례를 나타내는 도면.

도 20(A) 내지 도 20(F)는 전기 기구의 예를 나타내는 도면.

도 21(A) 및 도 21(B)는 전기 기구의 예를 나타내는 도면.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 절연 부재, 화소부 및 상기 화소부에 신호를 공급하기 위한 구동회로를 구비하고, 화소부 및 구동회로가 동일한 절연 부재상에 형성되는 발광장치에 관한 것이다. 특히, 본 발명은 한 쌍의 전극, 및 그 한 쌍의 전극 사이에 삽입 배치되는 발광재료로 이루어진 박막으로 구성되는 소자(이하는, '발광 소자'로 지칭하기로 함)를 구비하는 장치(이하는, '발광장치'로 지칭하기로 함)를 개량함에 있어 효과적인 기술을 포함한다. 본 발명의 발광장치는 유기 전기장 발광(EL) 표시장치 또는 유기 발광ダイオード(OLED)를 포함한다.

특히, 본 발명은 양극 및 음극으로 이루어진 한 쌍의 전극, 및 전기장 발광 기능을 수행할 수 있고 상기 한 쌍의 전극 사이에 삽입 배치되는 발광재료로 이루어진 박막(이하는, 'EL 막'으로 지칭하기로 함)으로 구성되는 소자(이하는, '발광 소자'로 지칭하기로 함)를 구비하는 장치(이하는, '발광장치'로 지칭하기로 함)를 개량함에 있어 효과적인 기술을 포함한다.

본 발명에서 사용 가능한 발광재료는 1중향 여자(singlet excitation), 또는 3중향 여자(triplet excitation), 또는 1중향 여자 및 3중향 여자에 의해 광을 방사(인광 및/또는 형광)할 수 있는 모든 발광재료를 포함한다.

본 발명은 또한, 액정재료가 전극 사이에 삽입 배치되는 소자(이하는, '액정 소자'로 지칭하기로 함)를 구비하는 장치(이하는, '액정표시장치'로 지칭하기로 함)에 적용될 수 있다.

최근, 액티브 매트릭스 EL 발광장치의 개발이 촉진되고 있다. 액티브 매트릭스 EL 발광장치에 있어서, 박막트랜지스터(이하는, 'TFT'라 지칭함)가 화소부의 각 화소(EL 소자)에 제공되고, 각 EL 소자를 통해 흐르는 전류는 상기 TFT를 통해 제어되어 화소의 발광회도가 제어된다. 따라서, 화소부에 의해 형성될 화소의 수가 증가하더라도 전압이 화소에 일정하게 공급될 수 있다. 이러한 이유로 인해, 액티브 매트릭스 EL 발광장치는 고 선명 화상을 형성하는데 적합하다.

또한, 액티브 매트릭스 EL 발광장치는 시프트 레지스터 및 상기 화소부에 신호를 전송하기 위한 구동회로를 구성하는 래치 또는 버퍼를 포함하는 회로들이 화소부가 형성되는 하나의 절연 부재상의 TFT에 의해 형성될 수 있다. 따라서, 이러한 구조의 EL 발광장치가 제작될 때, 상기 EL 발광장치는 크기 및 중량이 현저하게 감소되도록 설계될 수 있다.

그러나, 액티브 매트릭스 EL 발광장치는 복잡한 TFT 제작공정으로 인해 장치의 제조비용이 증가한다는 단점이 있다. 더욱이, 다수의 TFT가 동시에 형성되기 때문에 제작공정이 매우 복잡해짐으로써, 만족스러운 수율을 보장하는 것이 어려워진다. 특히, 구동회로의 동작 불량으로 인해, 연결합이 발생하여 하나의 화소 행이 동작하지 않을 수도 있다.

도 18(A) 및 도 18(B)는 액티브 매트릭스 EL 발광장치의 기본 구조를 나타내는 것이다. 도 18(A)를 참조하면, EL 소자를 통해 흐르는 전류를 제어하기 위한 TFT(1802)(이하는, '전류 제어용 TFT'라 지칭함)는 기판(1801)상에 형성되고, 양극(1803)은 전류 제어용 TFT(1802)에 접속된다. 유기 EL 막(전기장 발광을 발생시킬 수 있는 발광 유기 물질로 이루어진 박막)(1804) 및 음극(1805)은 상기 양극(1803) 위에 형성된다. 따라서, 양극(1803), 유기 EL 막(1804) 및 음극(1805)으로 구성되는 EL 소자가 형성된다.

이러한 발광 EL 장치에 있어서, 유기 EL 막(1804)에서 발생되는 광은 양극(1803)을, 통과하여 도면에 표시된 회살표 방향으로 이동하게 된다. 전류 제어용 TFT(1802)는 관찰자에게 이동하기 위해 방사되는 광을 차단하고 유효 방사 영역(관찰자가 광의 방사를 관찰 할 수 있는 영역)을 감소시키기는 것과 같은 차단 기능을 수행한다. 유효 방사 영역이 감소하면, 밝은 화상을 얻기 위해 유기 EL 막으로부터 방사되는 광의 강도를 증가시킬 필요성이 대두된다. 이것은 유기 EL 막을 구동시킬 수 있는 전압을 증가시킴으로써 달성될 수 있다. 구동 전압이 증가하면, 유기 EL 막의 열화가 촉진될 우려가 있다.

이러한 문제점을 해결하기 위해 설계된 도 18(B)에 나타낸 것과 같은 구조의 액티브 매트릭스 EL 발광장치가 제안되었다. 도 18(B)를 참조하면, 전류 제어용 TFT(1807)가 기판(1801)상에 형성되고, 음극(1808)은 전류 제어용 TFT(1807)에 접속된다. 따라서, 음극(1808), 유기 EL 막(1809) 및 양극(1810)으로 구성되는 EL 소자(1811)가 형성된다. 즉, EL 소자(1811)의 구조는 도 18(A)에 나타낸 EL 소자(1806)의 구조와 역방향의 관계에 있게 된다.

이러한 액티브 매트릭스 EL 발광장치에 있어서, 유기 터막(1809)에 의해 발생된 후 음극(1808)측으로 이동되는 대부분의 광은 도면에 표시된 화살표 방향으로 양극(1810)을 통해 발사되도록 음극(1808)에 의해 반사된다. 따라서, 음극(1810)이 형성되는 영역의 전체는 유효 발광 영역으로 사용될 것으로 써, 고 광추출 효율(hight light extraction efficiency)을 갖는 액티브 매트릭스 EL 발광장치를 얻을 수 있다. 더욱이, 구동 전압이 낮더라도, 고 강도의 방사광이 얻어짐으로써 밝은 화상을 제공할 수 있다.

조명이 이루고자 하는 기술적 조건

따라서, 본 발명의 목적은 고 광추출 효율을 갖고 저 비용으로 제작될 수 있도록 설계되는 발광장치를 제공하는데 있다.

본 발명의 또 다른 목적은 저가이면서도 밝은 화상을 표시할 수 있는 발광장치를 제공하는데 있다.

본 발명의 또 다른 목적은 본 발명의 발광장치를 전기 기구의 표시부에 이용하여 밝은 화상을 표시할 수 있는 저가의 전기 기구를 제공하는데 있다.

조명의 구성 및 작용

본 발명의 발명자는, 도 18(B)에 나타낸 고 광추출 효율을 갖는 EL 발광장치를 제작할 경우 n채널형 TFT를 전류 제어용 TFT로 사용함으로써 고 광추출 효율을 갖는 것이 바람직하다는 사실을 확인하였다. 이러한 개념을 고안하게 된 이유가 도 19(A) 및 도 19(B)를 참조하여 미하에서 설명될 것이다.

도 19(A)는 p채널형 TFT(1901)를 도 18(B)에 나타낸 구조의 전류 제어용 TFT로 사용한 예를 나타내는 것이다. 상기 전류 제어용 TFT(1901)는 전류 공급선(1902)에 접속된 소스 및 EL 소자(1903)에 접속된 드레인을 구비한다. 이러한 구조에 있어서, 전류 공급선(1902)의 전위를 V_s (본 실시예에서 접지 전위와 동일한 저 레벨의 전위)으로 설정하고, EL 소자(1903)의 양극의 전위를 V_a (본 실시예에서 5~10 V의 고 레벨 전위)로 설정하는 것이 필요하다.

전류 제어용 TFT(1901)의 게이트의 전위는 V_g 이고, 그 소스 전위는 V_s 이고, 그 드레인 전위는 V_a 이다. 이때, 전류 제어용 TFT(1901)는 V_s-V_g 로 표현되는 게이트 전압, V_a-V_g 로 표현되는 소스와 드레인간의 전압, V_a-V_s 로 표현되는 소스 전압, 및 V_a-V_g 로 표현되는 드레인 전압을 구비한다. V_a 는 EL 소자(1903)의 음극의 전위에 대응한다. 전류 제어용 TFT(1901)의 게이트가 개방되면, 전류 공급선(1902)의 전위는 V_s 에 균질해 진다. 드레인의 전위 V_a 는 전류 공급선(1902)의 전위 V_s 과 동일하다.

도 19(A)에 나타낸 구조의 경우, 전류 제어용 TFT(1901)가 개방되면, 전위 V_a 는 변한다(V_a 에 균질해 진다). 이러한 상황하에서, 게이트 전압(V_g-V_s) 및 소스와 드레인간의 전압(V_a-V_s)은 변한다. 그 결과, 전류 제어용 TFT(1901)를 통해 흐르는 전류는 V_a 의 변화에 따라 변하고, EL 소자(1903)에 안정적으로 전류를 공급할 수 없는 문제점이 생긴다.

도 19(B)는 전류 제어용 TFT를 도 18(B)에 나타낸 구조의 n채널형 TFT로 사용한 예를 나타내는 것이다. 이 경우, 전류 제어용 TFT(1904)의 소스의 전위 V_s 는 항상 전류 공급선(1902)의 전위 V_s 과 동일함으로써, 게이트 전압(V_g-V_s), 및 소스와 드레인간의 전압(V_a-V_s)은 변화하지 않는다. 따라서, EL 소자(1903)에 안정적으로 전류를 공급할 수 있다.

상기 사실로부터, 본 발명의 발명자는 화소가 EL 소자의 음극이 전류 제어용 TFT의 드레인에 접속되는 구조로서 형성되는 경우에, n채널형 TFT를 전류 제어용 TFT로 사용하는 것이 바람직한 것으로 이해하였다.

이러한 이해를 바탕으로 달성된 본 발명은, 모든 반도체 소자를(전형적으로는, 박막트랜지스터)이 n채널형 반도체 소자로 형성됨으로써 액티브 매트릭스 발광장치의 제조비용을 줄일 수 있다는 것에 그 특징이 있다. p채널형 반도체 소자를 제작하는 공정의 수가 줄어들며, 발광장치의 제작공정이 단순화되고, 발광장치가 저 비용으로 제작될 수 있다.

또한, 본 발명은 구동회로를 n채널형 반도체 소자로만 형성하는 것에 그 특징이 있다. 즉, 본 발명에 따르면, n채널형 반도체 소자만이 결합되어 구동회로를 형성하는 반면, 통상적인 구동회로는 n채널형 반도체 소자 및 p채널형 반도체 소자가 상보적으로 결합되는 상보형 금속 산화물 반도체(CMOS) 회로에 기초하여 설계된다.

도 1은 화소부 및 그 화소부에 신호를 전송하기 위한 구동회로가 하나의 절연 부재상에 형성되는 본 발명의 실시예에 따른 액티브 매트릭스 EL 발광장치의 종단면도를 나타내는 것이다.

도 1을 참조하면, 절연막(12)이 하지막으로서 기판(11)상에 형성되고, 스위칭 장치로서 동작하는 TFT(201)(이하 '스위칭용 TFT'라 지칭함), 전류 제어 소자(202)(이하 '전류 제어용 TFT'라 지칭함), n채널형 TFT(203), 및 n채널형 TFT(204)가 상기 절연막(12)위에 형성된다. 스위칭용 TFT(201) 및 전류 제어 소자(202)는 화소부에 제공되는 TFT의 예로서 예시되는 한편, n채널형 TFT(203) 및 n채널형 TFT(204)는 구동회로에 제공되는 인버터 회로의 반도체 소자의 예로서 예시된다.

본 발명은 기판(11)으로서 사용되는 플라스틱 기판(플라스틱막을 포함함)상에 발광장치를 형성할에 있어 특별히 효과적인 기술을 포함한다. 현재, 만족스런 전기 특성을 갖기 위해 플라스틱 기판상에 p채널형 TFT를 형성하기 위한 어떠한 기술도 이용될 수 없다. 따라서, 모든 TFT를 n채널형 TFT로 형성하는 공정을 포함하는 본 발명은 플라스틱 기판상에서 액티브 매트릭스 EL 발광장치를 제작하는데 효과적이다.

무선 화소부를 설명하기로 한다. 스위칭용 TFT(201)는 소스 영역(13), 분리 영역(14), 채널 형성 영역 사이에 존재하는 불순물 영역(14), 분리 영역(15), 드레인 영역(16) 및 채널 형성 영역(17, 18, 19)을 구비하는 활성층, 게이트 절연막(20), 게이트 전극(21a~21c), 무기 절연막(22), 유기 절연막(23), 소스 배선

(24), 및 드레인 배선(25)을 포함하는 n채널형 TFT이다. 스위칭용 TFT(201)는 전류 제어용 TFT의 게이트 전압을 제어하기 위한 스위칭 소자이다.

무기 절연막(22)은 질화규소막 또는 산화질화 규소(SiNxNy)이고, 유기 절연막(23)은 수지막(폴리이미드막, 아크릴 수지막, 폴리아미드막, 또는 벤조사이클로부탄막)이다. 금속 입자 또는 탄소 입자들은 유기 절연막(23)에 확산될 수도 있다. 이 경우, 금속 입자 또는 탄소 입자의 함유량은 특정 저항이 1×10^6 ~ 1×10^9 Ω이 되어 정전기의 발생을 제한하도록 조절될 수도 있다.

주기율표의 1족 또는 2족에 속하는 원소(세슘, 마그네슘, 리튬, 칼륨, 바륨 또는 베릴륨이 바람직함)를 함유하는 금속막이 소스 배선(24) 및 드레인 배선(25)으로 사용되는 것이 바람직하다. 상기 금속막은 알루미늄막, 구리막, 은막이 바람직하다. 또한, 비스무트막이 상기 금속막으로 사용될 수도 있다.

전류 제어용 TFT(202)는 소스 영역(26), 드레인 영역(27) 및 채널 형성 영역(28)을 구비하는 활성층, 게이트 절연막(20), 게이트 전극(29), 무기 절연막(22), 유기 절연막(23), 소스 배선(30), 및 화소 전극(31)을 포함하는 n채널형 TFT이다. 스위칭용 TFT(201)로부터 연장하는 드레인 배선부(25)는 전류 제어용 TFT(202)의 게이트 전극(29)에 접속된다. 전류 제어용 TFT(202)의 드레인 영역(27)에 접속되는 화소 전극(31)은 EL 소자(40)의 음극역할을 수행한다.

주기율표의 1족 또는 2족에 속하는 원소(세슘, 마그네슘, 리튬, 칼륨, 바륨 또는 베릴륨이 바람직함)를 함유하는 금속막이 화소 전극(31)을 형성하기 위해 사용되는 것이 바람직하다. 상기 금속막은 알루미늄막, 구리막, 은막이 바람직하다. 또한, 비스무트막이 상기 금속막으로 사용될 수도 있다.

물론, 스위칭용 TFT(201)의 소스 배선(24) 및 드레인 배선(25)과, 전류 제어용 TFT(202)의 소스 배선(30)은 화소 전극(31)과 동시에 형성됨으로써, 화소 전극(31)과 동일한 물질이 상기 배선을 형성하는데 사용된다.

또한, 비저항이 1×10^3 ~ 1×10^9 Ω이 되도록 금속 입자 또는 탄소 입자를 함유하는 수지막(폴리이미드막, 아크릴 수지막, 폴리아미드막, 또는 벤조사이클로부탄막)으로된 뱅크(32)가 형성된다. 만약, 비저항이 상기 범위내에 있으면, 막 형성시에 TFT의 정전파괴의 발생을 줄일 수 있다. 또한, 유기 EL막을 포함하는 박막(33) 및 EL 소자(40)의 양극(34)(전형적으로, 산화 도전막으로 형성되는 전극)이 제공된다.

또한, 화소 전극(음극)(31), 유기 EL막을 포함하는 박막(32), 및 양극(34)으로 형성되는 EL 소자(40)를 덮기 위해 패시베이션막(36)이 형성된다. 그 패시베이션막(36)을 형성하기 위해, 질화규소막, 산화질화 규소막, 탄소막(다이아몬드 형 탄소막이 바람직함), 산화 알루미늄막 또는 산화 탄탈막이 사용될 수도 있다. 이를 막층 일부를 조합하여 형성된 다중 층 막이 형성될 수도 있다.

도 2(A) 및 도 2(B)는 화소부의 하나의 화소 형성 세그먼트의 회로 구성을 나타내는 것이다. 도 2(A)를 참조하면, 게이트 전압을 스위칭용 TFT(201)의 게이트 전극(21a~21c)에 인가하기 위해 게이트 배선(205)이 제공되고, EL 소자(40)를 통해 흐르는 전류를 공급하기 위해 전류 공급선(206)이 제공된다. 전류 제어용 TFT(202)의 게이트 전극(29)에 인가된 게이트 전압을 유지하기 위해 커퍼시터(207)가 제공된다. 전류 제어용 TFT(202)의 소스 배선부(30)는 로우 레벨 전위(V_L)로 설정되는 반면, EL 소자의 양극(34)은 하이 레벨 전위(V_H)로 설정된다.

도 2(B)는 하나의 화소의 회로 구성의 또 다른 예를 나타내는 것이다. 도 2(B)에 나타낸 회로 구성에 있어서는, 전류 공급선(206)과 전류 제어용 TFT(202) 사이에 EL 소자(208)가 형성된다. 이 경우, 전류 제어용 TFT(202)의 소스 배선부(30)는 하이 레벨 전위(V_H)로 설정되는 반면, EL 소자의 양극(34)은 로우 레벨 전위(V_L)로 설정된다. 또한, 전류 공급선(206)은 EL 소자의 양극(34) 역할을 수행한다.

하나의 화소에 대한 2개의 TFT(하나는 스위칭용 TFT이고, 다른 하나는 전류 제어용 TFT임)를 구비한 회로의 예가 설명되었다. 그러나, TFT의 수는 3개, 4개, 5개, 6개, 또는 그 이상일 수도 있다. 즉, 소스 배선(24)으로부터 입력되는 화상 신호를 변경하기 위한 스위칭용 TFT 및 EL 소자(40)를 통해 흐르는 전류의 양을 제어하기 위한 전류 제어용 TFT는 물론, 화상 신호이외의 제어 신호를 위한 TFT를 제공할 수 있다.

다음은, 도 1을 참조하여 구동회로가 설명될 것이다. n채널형 TFT(203)은 소스 영역(41), 드레인 영역(42) 및 채널 형성 영역(43)을 구비하는 활성층, 게이트 절연막(20), 게이트 전극(44), 무기 절연막(22), 유기 절연막(23), 소스 배선(45), 및 드레인 배선(46)을 포함한다.

n채널형 TFT(204)은 소스 영역(47), 드레인 영역(48) 및 채널 형성 영역(49)을 구비하는 활성층, 게이트 절연막(20), 게이트 전극(50), 무기 절연막(22), 유기 절연막(23), 소스 배선(51), 및 상기 n채널형 TFT(203, 204)에 대해 공통인 드레인 배선(46)을 포함한다.

n채널형 TFT(203)의 소스 배선(45), 드레인 배선(46)(n채널형 TFT(203, 204)에 대해 공통임) 및 n채널형 TFT(204)의 소스 배선(51)은 화소 전극(31)과 동일한 물질로 형성된다.

본 실시 형태의 각 TFT는 엔핸스먼트(enhancement)형의 n채널형 TFT(이하는 'E형 NTFT'라 지칭함)으로 형성된다. 그러나, n채널형 TFT(203, 204) 중 하나는 디플리션(depletion)형으로 형성될 수도 있다. 이 경우, 주기율표 15족에 속하는 원소(인미 바람직함) 또는 주기율표 13족에 속하는 원소(붕소가 바람직함)가 상기 채널 형성 영역의 반도체에 침가됨으로써 상기 엔핸스먼트형 또는 디플리션형의 TFT를 선택적으로 제작할 수 있다.

n채널형 TFT(203, 204)를 결합하여 NMOS 회로가 형성되는 경우, NMOS 회로는 엔핸스먼트형 TFT의 조합(이하는 'EEMOS 회로'라 지칭함) 또는 디플리션형 TFT와 엔핸스먼트형 TFT의 조합(이하는 'EDMOS 회로'라 지칭함)에 의해 형성된다.

도 3(A)는 EEMOS 회로의 예를 나타내는 것이고, 도 3(B)는 EDMOS 회로의 예를 나타내는 것이다. 도 3(A)에 나타낸 각 부품(301, 302)은 E형의 NTFT이다. 도 3(B)에 나타낸 부품(303, 304)은 각각 E형의

NTFT 및 디플리션형의 n채널형 TFT(이하 'M형의 NTFT'라 지칭함)이다.

도 3(A) 및 도 3(B)에서, V_{ds} 는 정(正)의 전압이 인가되는 전원 공급선(정 전원 공급선)을 나타내고, V_{gs} 은 부(負)의 전압이 인가되는 전원 공급선(부 전원 공급선)을 나타낸다. 부 전원 공급선은 절지 전위 전원 공급선(절지된 전원 공급선)일 수도 있다.

도 4(A) 및 도 4(B)는 도 3(A)에 나타낸 EEMOS 회로 및 도 3(B)에 나타낸 EDMOS 회로를 사용하여 형성된 시프트 레지스터의 예를 나타내는 것이다. 도 4(A)의 부품(400, 401)은 플립-플롭 회로이다. 부품(402, 403)은 E형의 NTFT이다. E형의 NTFT(402)의 게이트에 클록 신호(CL)가 입력되고, E형의 NTFT(403)의 게이트에는 반대 극성의 클록 신호(CL바)가 입력된다. 참조 부호 404는 인버터 회로를 나타낸다. 상기 인버터 회로를 형성하기 위해, 도 4(B)에 나타낸 바와 같이, 도 3(A)에 나타낸 EEMOS 회로 및 도 3(B)에 나타낸 EDMOS 회로가 사용된다.

본 발명의 실시 형태에 따르면, 모든 TFT는 n채널형 TFT로 형성됨으로써, p채널형 TFT를 형성하기 위한 공정이 단순화되어 EL 발광장치의 제작공정을 단순화할 수 있다. 제작공정의 수율이 향상되고, EL 발광장치의 제조비용을 줄일 수 있다.

본 발명의 실시예가 이하에서 설명될 것이다.

[실시예 1]

본 실시예에서는, 화소부 및 동일한 절연부상의 화소부 주변부에 형성될 구동회로를 제작하는 방법을 설명하기로 한다.

도 5(A)에 나타낸 바와 같이, 우선, 플라스틱으로 이루어진 절연체(501)가 준비된다. 본 실시예에서는, 플라스틱으로 이루어진 절연체(501)로서, 플라스틱 기판(501a)의 두개의 표면(전면 및 배면)상에 보호막(탄소막, 특히, 다이아몬드형 탄소막)(501b, 501c)으로 코팅된 절연체가 준비된다.

다음으로, 상기 절연체를 덮는 하지막(502)이 300 nm의 두께로 형성된다. 본 실시예에서는, 하지막(501)을 형성하기 위해 스퍼터링 방법에 의해 산화질화 규소막이 적층된다. 이때, 절연체(501)와 접촉하는 층의 질소 농도는 10~25 wt%이 되도록 조절되고, 질소는 다른 층보다 높은 농도로 포함될 수도 있다.

하지막(502) 위에는, 스퍼터링 방법에 의해 비정질 반도체막(도시 생략됨)이 50 nm의 두께로 형성된다. 절연체(501)는 플라스틱으로 이루어지기 때문에, 막 형성 온도는 200 °C(150 °C가 바람직함)를 초과하지 않는 것이 바람직하다.

반도체막이 비정질 구조(미(微)결정 반도체막)를 포함하는 경우, 비정질 반도체막으로 한정할 필요는 없다. 비정질 반도체막으로서, 비정질 실리콘 또는 비정질 실리콘 게로마늄막이 20~100 nm로 형성될 수도 있다.

그 다음, 결정성 반도체막(503)을 형성하기 위해 비정질 반도체막을 결정화하는 공정을 위한 공지의 레이저 결정화 기술이 수행된다. 본 실시예에서는, 고체 레이저(특히, 제 2 고조파의 Nd:YAG 레이저)가 사용되지만, 엑시머 레이저가 사용될 수도 있다. 또한, 결정화 기술은 플라스틱으로 이루어지는 절연체(501)의 열 저항이 허용하는 범위에 있는 어떠한 방법도 될 수 있다.

다음으로, 도 5(B)에 나타낸 바와 같이, 결정성 반도체막(503)이 제 1 포토리소그래피 단계에 의해 에칭되어 섬모양의 반도체층(504~507)이 형성된다. 이를 반도체층은 나중에 TFT의 활성층이 되기 위한 반도체막이다.

본 실시예에서는, 결정성 반도체막이 TFT의 활성층으로 사용되지만, 비정질 반도체막이 활성층으로 사용될 수도 있다. 이때, 보호막(도시 생략됨)이 스퍼터링 방법에 의해 상기 반도체층(504~507)상에 130 nm의 두께로 산화 규소막으로 형성된다. p형 반도체의 불순물 원소(이하 'p형 불순물 원소라 지칭함')가 반도체막(504~507)에 첨가된다. p형 불순물 원소로서, 주기율표의 13족에 속하는 원소(전형적으로는, 봉소 또는 갈륨)가 사용될 수도 있다. 보호막은 불순물이 첨가되고 미소한 농도 조절이 가능해 질 때 결정성 규소막이 플라즈마에 직접 노출되지 않도록 제공된다.

이때 첨가된 p형 불순물 원소의 농도는 $1 \times 10^{15} \sim 5 \times 10^{15}$ 원자/cm²(전형적으로는, $1 \times 10^{16} \sim 1 \times 10^{17}$ 원자/cm²)이다. 이러한 농도로 첨가된 p형 불순물 원소는 n채널형 TFT의 스레시홀드 전압을 조절하는데 사용된다.

다음으로, 반도체막(504~507)의 표면이 세정된다. 우선, 오존을 함유한 순수한 물을 사용하여 상기 표면이 세정된다. 산화 보막은 상기 반도체막 표면상에 형성되기 때문에, 1%로 화석된 불소 용액을 사용하여 제거된다. 이러한 공정을 거쳐, 반도체막(504~507)의 표면상에 부착된 오염물질이 제거될 수 있다. 오존의 농도는 6 mg/L 또는 그 이상이 바람직하다. 공기에 노출됨이 없이 일련의 공정이 수행된다.

스퍼터링 방법에 의해 반도체막(504~507)을 덮는 게이트 절연막(508)이 형성된다. 게이트 절연막(508)으로서, 10~200 nm, 바람직하기로는, 50~150 nm의 두께를 갖는 실리콘 함유 절연막이 사용될 수도 있다. 이것은 단일층 구조 또는 적층 구조일 수도 있다. 본 실시예에서, 115 nm의 두께를 갖는 산화질화 규소막이 사용된다.

본 실시예에서는, 게이트 절연막(508)을 형성하기 전에 반도체막(504~507)의 표면에 대한 세정 처리가 공기 노출없이 수행되고, 오염 및 경계면 레벨은 반도체막(504~507)과 게이트 절연막(508)의 계면에서 감소된다. 이 경우, 적어도 세정실 및 스퍼터링실을 구비한 다중 체임버 방법(또는 인-선 방법(in-line method))을 수행하는 장치가 사용될 수도 있다. 다음, 제 1 도전막(509)으로서의 30 nm의 두께를 갖는 질화 탄탈막 및 제 2 도전막(510)으로서의 370 nm의 두께를 갖는 텅스텐막이 형성된다. 본 실시예에서는, 제 1 도전막인 텅스텐막과 제 2 도전막인 알루미늄 합금막의 조합, 또는 상기 제 1 도전막인 탄탈막과 제 2 도전막인 텅스텐막의 조합이 사용될 수도 있다. 이를 금속막은 스퍼터링 방법에 의해 형성될 수도 있다. 또한, Xe 및 Ne와 같은 불활성 가체가 스퍼터링 가체로서 첨가되면, 스트레스로 인한 막의 벗겨짐 현상이 방지될 수 있다. 또한, 텅스텐 타겟의 순도가 99.9999%가 됨으로써 20 μm 정도의 저항

율을 갖는 저 저항 텅스텐막을 형성할 수 있다. 공기 노출없이 제 2 도전막(510)의 형성 이전에 전술한 반도체막(504~507)의 표면 세정 공정을 수행할 수 있다. 이 경우, 적어도 세정실, 절연막을 형성하기 위한 스퍼터링실, 및 도전막을 형성하기 위한 스퍼터링실을 구비한 다중 체임버 방법(또는 인-선 방법)을 수행하는 장치가 사용될 수도 있다.

다음으로, 레지스트 마스크(511a~511g)가 형성된 다음, 제 1 도전막(509) 및 제 2 도전막(510)이 예칭 처리된다. 본 명세서에서는, 예칭 공정이 제 1 예칭 공정으로 지칭된다(도 5(c) 참조).

본 실시예에서, ICP(유도 결합 플라즈마) 예칭 방법이 사용된다. 그런 다음, 테트라플루오르화 탄소(CF₄) 기체, 염소(Cl₂) 기체 및 산소(O₂) 기체의 혼합 기체가 1 Pa의 압력하에서 예칭 기체로서 사용된다. 각 기체의 유속은 테트라플루오르화 탄소 기체의 경우 $2.5 \times 10^5 \text{ ml/min}$ 으로 설정되고, 염소 기체의 경우 $2.5 \times 10^5 \text{ ml/min}$ 으로 설정되고, 산소 기체의 경우 $1.0 \times 10^5 \text{ ml/min}$ 으로 설정된다.

플라즈마를 발생시키기 위해 이러한 상태하에서 코일 형의 전극에 500 W의 RF 전력(13.56 MHz)이 인가된다. 또한, 500 W의 RF 전력(13.56 MHz)이 자기 바이어스 전압으로서 기판이 온 상태가 되어 부 자기 바이어스(negative self bias)가 기판에 인가되도록 하는 스테이지에 인가된다. 상기 예칭 조건은 제 1 예칭 조건으로 지칭된다.

따라서, 제 2 도전막(텅스텐막)(510)은 선택적으로 예칭 처리된다. 산소가 상기 예칭 기체에 첨가되기 때문에, 제 1 도전막(질화 탄탈막)의 예칭 처리의 진행 속도가 매우 더디게된다. 또한, 레지스트 마스크(511a~511g)의 회귀(regression)를 이용하면, 그 형상이 15~45°의 테이퍼각을 갖는 테이퍼 형상이 된다. 제 1 예칭 조건으로, 25°의 테이퍼 각도를 얻을 수 있다.

테이퍼는 전극의 단부의 표면이 경사진 부분을 일컬으며, 베이스를 갖는 각도는 테이퍼 각도라 불린다. 또한, 상기 테이퍼 형상은 전극 단부가 테이퍼 각도로 경사지는 형상을 일컬으며, 사다리꼴 모양이 테이퍼 형상에 포함된다.

다음으로, 예칭 공정은 테트라플루오르화 탄소 기체와 염소 기체 혼합 기체를 상기 예칭 기체로서 사용하여 수행된다. 이때, 압력은 1 Pa이고, 각 기체의 유속은 테트라플루오르화 탄소 기체 및 염소 기체의 경우 $3.0 \times 10^5 \text{ ml/min}$ 으로 설정된다. 또한, 코일 형의 전극에 500 W의 RF 전력이 인가되고, 20 W의 RF 전력이 자기 바이어스 전압으로서 상기 기판이 온 상태가 되는 스테이지에 인가된다. 상기 예칭 조건은 제 2 예칭 조건으로 지칭된다.

이러한 방식으로, 스위칭용 TFT의 게이트 전극(512~516), 소스 배선(517) 및 드레인 배선(518)은 제 1 도전막 및 제 2 도전막의 적층막으로 형성된다.

다음으로, 게이트 전극(512~516), 소스 배선(517) 및 드레인 배선(518)을 마스크로 하여, n형 불순을 원소(본 실시예에서는 인)가 자기정합적으로 첨가된다. 이러한 방식으로 형성된 불순을 영역(519~527)은 $1 \times 10^{10} \sim 1 \times 10^{11} \text{ 원자/cm}^2$ (전형적으로는, $2 \times 10^{10} \sim 5 \times 10^{11} \text{ 원자/cm}^2$)의 농도를 갖는 n형 불순을 원소를 함유한다. 이를 불순을 영역(519~527)은 n채널형 TFT의 소스 영역 및 드레인 영역을 형성한다.

다음으로, 게이트 전극의 예칭 처리는 레지스트 마스크(511a~511g)를 사용하여 수행된다. 제 1 예칭 조건에서의 이러한 예칭 조건은 20 W의 자기 바이어스 전압을 갖는다. 이러한 조건으로, 제 2 도전막(텅스텐막)만이 선택적으로 예칭 처리되어, 제 2 도전막으로 이루어진 게이트 전극(이하는, 제 2 게이트 전극이라 지칭함)(528~532), 제 2 도전막으로 이루어진 소스 배선(이하는, 제 2 소스 배선이라 지칭함)(533), 및 제 2 도전막으로 이루어진 드레인 배선(이하는, 제 2 드레인 배선이라 지칭함)(534)을 형성한다(도 5(d) 참조).

도 5(e)에 나타낸 바와 같이, n형 불순을 원소(본 실시예에서는, 인)는 레지스트 마스크(511a~511g)를 사용하여 첨가된다. 이 공정에서, 제 2 게이트 전극(528~532)은 마스크의 역할을 수행하고, $2 \times 10^{10} \sim 5 \times 10^{11} \text{ 원자/cm}^2$ (전형적으로는, $5 \times 10^{10} \sim 5 \times 10^{11} \text{ 원자/cm}^2$)의 농도를 갖는 n형 불순을 원소를 함유하는 n형 불순을 영역(535~544)이 형성된다. 본 명세서에서는, 상기한 농도의 n형 불순을 원소가 첨가된 불순을 영역은 n형 불순을 영역(b)으로 지칭된다는 점에 유념해야 한다.

다음으로, 도 6(A)에 나타낸 바와 같이, 게이트 절연막(508)이 건식 예칭 방법에 의해 예칭 처리되어, 상호 겹립적인 게이트 절연막(545~549)이 형성된다. 본 실시예에서, n형 불순을 영역(a)(519~527)을 노출하기 위해 게이트 절연막을 예칭 처리하는 예가 도시되지만, 게이트 절연막이 n형 불순을 영역(a)(519~527)의 표면상에 남아 있을 수도 있다는 사실에 유념해야 한다.

이러한 예칭 조건에서는, 예칭 기체로서 $3.5 \times 10^5 \text{ ml/min}$ 의 유속으로 흐르는 CHF₄(트리플루오르화 탄소) 기체가 형성되고, 예칭 압력은 $7.3 \times 10^3 \text{ Pa}$ 이다. 또한, 인가된 전력은 800 W이다.

이때, 제 1 도전막(질화 탄탈막)은 도시에 예칭 처리되고, 게이트 전극(이하는, 제 1 게이트 전극이라 지칭함)(550~554)은 제 1 도전막으로 형성된다. 따라서, 본 실시예에 나타낸 EL 발광장치는 제 1 게이트 전극 및 제 2 게이트 전극의 적층 구조를 갖는 게이트 전극을 구비한다.

다음으로, 도 6(A)에 나타낸 바와 같이, 제 1 게이트 전극(550)은 n형 불순을 영역(b)(535, 536)의 일부분과 중복된다(게이트 절연막(545)을 통해 중복됨). 즉, n형 불순을 영역(b)(535, 536)은 게이트 절연막(545)을 통해 제 1 게이트 전극(550)과 중복하는 영역(535a, 535b), 및 게이트 절연막(545)을 통해 제 1 게이트 전극(550)과 중복하지 않는 영역(536a, 536b)을 포함한다.

제 1 게이트 전극(550)은 게이트 전극의 일부의 역할을 수행하고, 게이트 절연막(545)을 통해 제 1 게이트 전극(550)과 중복하는 영역(535a, 535b)은 핫 캐리어 효과를 감소시킴에 있어 효과적이다. 따라서, 핫 캐리어 효과로 인해 열화를 억압할 수 있다. 상기한 특성은 모든 TFT에 공통이라는 사실을 유념해야

한다.

다음으로, 도 6(B)에 나타낸 바와 같이, 상기 첨가된 형 물질을 원소는 활성화된다. 활성화 수단으로서, 레이저 어닐이 바람직하다. 물론, 플라스틱 기판(501a)의 열 저항률이 램프 어닐, 노 어닐 또는 이를 어닐과 레이저 어닐의 결합을 허용하면, 플라스틱 기판(501)의 열 저항률이 사용될 수도 있다. 이때, 처리 분위기의 산소 농도는 매우 낮게 유지되는 것이 바람직하다는 사실에 유념해야 한다. 이것은 게이트 전극의 산화를 방지하기 위함이고, 상기 산소 농도는 1 ppm 정도가 바람직하다.

다음으로, 도 6(C)에 나타낸 바와 같이, 질화 규소막 또는 산화질화 규소막으로 이루어지는 무기 절연막(555)이 50~200 nm의 두께로 형성된다. 상기 무기 절연막(555)은 스퍼터링 방법에 의해 형성될 수도 있다.

그런 다음, 수소화 처리가 수소(H₂) 기체 또는 암모니아(NH₃) 기체를 사용한 플라즈마 공정에 의해 수행된다. 수소화 처리가 완료되면, 가시 광선을 투과시키는 수지막인, 유기 절연막(556)이 1~2 μm의 두께로 형성된다. 수지막으로서, 폴리아미드막, 폴리아미드막, 아크릴 수지막 또는 BCB(벤조사이클로부탄)막이 사용될 수도 있다. 또한, 강광성 수지막을 사용할 수 있다.

본 실시예에서는, 무기 절연막(555) 또는 유기 절연막(556)의 적층막이 층간 절연막으로 자칭된다는 것을 유념해야 한다.

다음으로, 도 6(D)에 나타낸 바와 같이, 콘택트 홀이 상기 층간 절연막에 형성되고, 배선(557~562) 및 화소 전극(563)이 형성된다. 본 실시예에서, 상기 배선은 50 nm의 두께를 갖는 탄탈막, 200 nm의 두께를 갖는 알루미늄막, 및 200 nm의 두께를 갖는 리튬을 함유한 알루미늄막이 스퍼터링 방법에 의해 연속적으로 형성되는 방식으로 하부층에 구성되는 3층으로된 적층막이다. 또한, 리튬을 함유한 알루미늄막만을 형성할 시에 증착 방법이 사용될 수도 있다. 그러나, 미 경우, 공기 노출 없이 연속적으로 형성하는 것이 바람직하다. 여기서, 화소 전극(563)의 표면은 작은 일 할수를 갖는 금속 표면이 되는 것이 중요하다. 그 이유는 화소 전극(563)이 TEI 소자의 음극 역할을 수행하기 때문이다. 따라서, 최소한 화소 전극(563)의 표면은 주기율표의 1 즉 또는 2 측에 속하는 원소를 함유하는 금속막, 즉, 비스무트(Bi)막이 되는 것이 바람직하다. 또한, 배선(557~562)은 상기 화소 전극(563)과 동시에 형성됨으로써, 동일한 도전막으로 형성된다.

이때, 배선(557, 559)은 NMOS 회로의 소스 배선 역할을 수행하고, 배선(558)은 드레인 배선 역할을 수행한다. 또한, 배선(560)은 소스 배선(517)과 스위칭용 TFT의 소스 영역을 전기적으로 접속하는 배선 역할을 수행하고, 배선(561)은 드레인 배선(518)과 스위칭용 TFT의 드레인 영역을 전기적으로 접속하는 역할을 수행한다. 또한, 참조 부호 562는 전류 제어용 TFT의 소스 배선(전류 공급선에 대응함)이고, 참조 부호 563은 전류 제어용 TFT의 화소 전극을 나타낸다.

다음으로, 도 7에 나타낸 바와 같이, 화소 전극(563)의 단부를 덮기 위한 절연막(564)이 형성된다. 100~400 nm의 두께를 갖는 실리콘을 함유한 절연막 또는 유기 수지막을 패터닝함으로써 벙크(564)가 형성될 수도 있다. 그 벙크(564)는 화소(화소 전극) 사이의 간극을 채우기 위해 형성된다. 또한, 인접 형성되는 발광층과 같은 유기 TEI막의 형성 목적은 화소 전극(563)의 단부와 직접적인 접촉을 하지 않도록 하기 위함이다.

벙크(564)는 절연막이므로, 막 형성시 소자들의 정전기 통과에 대한 주의가 요구된다는 점에 유념해야 한다. 본 실시예에서는, 탄소 입자 및 금속 입자들은 벙크(564)를 위한 물질이 되도록 상기 절연막에 첨가됨으로써, 저항률이 감소하고 정전기의 발생이 억압된다. 이때, 상기 첨가된 탄소 입자 및 금속 입자의 양은 저항률이 $1 \times 10^6 \sim 1 \times 10^7 \Omega$ (바람직하기로는, $1 \times 10^6 \sim 1 \times 10^8 \Omega$)이 되도록 조절될 수도 있다. 다음으로, 증착 방법에 의해 TEI층(565)이 형성된다. 본 실시예에서는, 정공 주입층 및 발광층의 적층 구조가 TEI층으로 자칭된다는 점을 유념해야 한다. 즉, 정공 주입층, 정공 이동층, 정공 방지층, 전자 이동층, 전자 주입층 및 발광층에 대한 전자 방지층을 결합한 적층 구조가 상기 TEI층으로 자칭된다. 이를 층은 유기 물질 또는 무기 물질일 수도 있고, 고 폴리머 또는 저 폴리머 또는 저 폴리머일 수도 있다.

본 실시예에서는, 우선, 전자 주입층으로서, 틀로오르화 리튬(LiF)막이 20 nm의 두께로 형성되고, 알루미늄-퀴놀린 복합물(Alq₃)막이 발광층으로서 80 nm의 두께로 추가 형성된다. 또한, 발광층에 대해 광방사 증진이 되기 위해 도펀트(불순물)(전형적으로는, 발광 암료)가 증착 방법에 의해 함께 첨가될 수도 있다. 이러한 도펀트로서, 3중향 여자(勵磁)를 통해 광 방사 유기 물질이 사용될 수도 있다.

다음으로, TEI층(565)이 형성되면, 큰 일 할수를 갖고 가시 광선에 투명한 산화 도전막으로 형성되는 양극(566)이 300 nm의 두께로 형성된다. 본 실시예에서는, 산화 갈륨과 함께 산화 마연이 첨가된 산화 도전막이 증착 방법에 의해 형성된다. 또한, 다른 산화 도전막으로서, 산화 인듐, 산화 마연, 산화 주석으로 구성되는 산화 도전막 또는 이를 산화 도전막의 조합으로된 화합물을 사용할 수 있다. 이러한 방식으로, 화소 전극(음극)(563) 및 EL층(565) 및 양극(566)을 포함하는 TEI 소자(567)가 형성된다.

양극(566)이 형성된 후, EL 소자(567)를 완전히 덮기 위한 패시베이션막(568)을 제공하는 것이 효과적이다. 그 패시베이션막(568)은 탄소막, 질화 규소막 및 산화질화 규소막을 포함하는 절연막으로 형성되고, 단일층 또는 절연막의 적층으로서 사용된다.

이때, 양호한 커버리지(coverage)를 갖는 막이 패시베이션막으로 사용되는 것이 바람직하고, 탄소막, 특히, DLC(다이아몬드형 탄소)막을 사용하는 것이 효과적이다. DLC 막은 100 °C정도의 온도에서 형성됨으로써, 낮은 열 저항률을 갖는 TEI층(565)위에 용이하게 형성될 수도 있다. 또한, DLC막은 산소에 대해 좋은 차단 효과를 가지며, EL층(565)의 산화를 억제할 수 있다. 따라서, 밀봉 공정을 수행하는 동안 TEI층(565)이 산화되는 문제점을 방지할 수 있다.

또한, 밀봉 부재(569)가 패시베이션막(568)위에 형성되고, 커버 부재(570)가 밀봉 부재(569)에 부착된다. 밀봉 부재(569)로서, 자외선 경화 수지가 사용될 수도 있고, 흡습 효과를 갖는 기판 또는 산화 방지 효과를 갖는 기판을 제공하는 것이 효과적이다. 또한, 본 실시예에서는, 커버 부재(570)로서, 플라스틱 기판

(플라스틱막을 포함함)의 양표면을 위해 탄소막(다이아몬드형 탄소막이 바람직함)(570b, 570c)이 사용된다.

이렇게 하여, 도 7에 나타낸 구조를 갖는 EL 발광장치가 완성된다. 뱅크(564)가 형성된 후, 공기 노출없이 다중 채임버 방법(또는 인-선 방법)을 구현하는 막 형성 장치로 패시베이션막(568)이 형성될 때까지 상기 공정들을 연속적으로 수행하는 것이 효과적이다. 또한, 커버 부재(570)가 공기 노출없이 부착될 때까지 상기 공정들을 연속적으로 수행할 수 있다.

이렇게 하여, n채널형 TFT(601, 602), 스위칭용 TFT(n채널형 TFT)(603) 및 전류 제어용 TFT(n채널형 TFT)(604)가 본체인 플라스틱 기판을 갖는 절연체(501)상에 형성된다. 이러한 제작공정에 필요한 포토리소그래피 공정은 5배이고, 이것은 통상적인 액티브 매트릭스 EL 발광장치의 경우보다 적다.

즉, TFT의 제작공정이 크게 단순화되고, 수율의 향상 및 제작 비용의 감소가 실현될 수도 있다. 또한, 상기 TFT 및 EL 소자가 주 본체인 플라스틱 기판을 갖는 절연체(커버 부재를 포함함)에 의해 에워싸이는 구조로 되어 있기 때문에, 매우 유통성이 있고 무게가 가벼운 EL 발광장치가 실현될 수 있다.

또한, 도 6(A)를 참조하여 설명된 것과 같이, 게이트 절연막을 통해 제 1 게이트 전극과 중첩되는 물순을 영역을 제공함으로써, 핫 캐리어 효과로 인한 열화에 대해 우수한 저항력을 갖는 n채널형 TFT가 형성될 수도 있다. 따라서, 높은 신뢰도를 갖는 EL 발광장치가 실현될 수 있다.

또한, 본 실시예의 EL 발광장치의 회로 구조의 예가 도 8에 나타낸다. 본 실시예에서는, 디지털 구동 동작을 수행하기 위해 소스측 구동회로(801), 화소부(806), 게이트측 구동회로(807)를 포함하는 회로 구조가 나타낸다는 점을 유념해야 한다. 본 명세서전반에 걸쳐, 상기 구동회로는 소스측 구동회로 및 게이트측 구동회로를 포함하는 일반 용어임을 유념해야 한다.

소스측 구동회로(801)는 시프트 레지스터(802), 래치(A)(803), 래치(B)(804) 및 버퍼(805)를 포함한다. 아날로그 구동 동작의 경우, 샘플링 회로(전달 게이트 또는 아날로그 스위치로도 지칭됨)가 래치(A) 및 (B)를 대신하여 제공될 수도 있다는 점을 유념해야 한다. 게이트측 구동회로(807)는 시프트 레지스터(808) 및 버퍼(809)를 구비한다. 도 4에 나타낸 시프트 레지스터는 시프트 레지스터(802, 808)로 사용될 수도 있다.

본 실시예에서는, 화소부(806)는 다수의 화소를 구비하고, EL 소자는 다수의 화소에 제공된다. 이때, EL 소자의 음극은 전류 제어용 TFT의 드레인에 전기적으로 접속되는 것이 바람직하다.

소스측 구동회로(801) 및 게이트측 구동회로(807)는 모두 n채널형 TFT로 형성되고, 모든 회로는 기본 유닛으로서 도 3(A)에 나타낸 EEMOS 회로로 형성된다. 종래의 CMOS 회로와 비교해 볼 때, 소비 전력이 다소 증가하지만, CMOS 회로를 구동회로로 사용한 EL 발광장치는 그 화소부에서 전력의 95%를 소비하기 때문에, 비록 NMOS 회로를 사용하여 구동회로의 소비 전력이 약간 증가하더라도 중대한 문제점이 되진 않는다.

도면에 도시되지는 않았지만, 게이트측 구동회로는 화소부(806)를 삽입 배치하는 게이트측 구동회로(607)의 대향측면상에 배치될 수도 있음을 유념해야 한다. 이 경우, 두개의 게이트측 구동회로는 동일한 구조에 의해 공통 게이트 배선을 공유함으로써, 비록 구동회로 중 하나가 파손되더라도 게이트 신호가 다른 쪽 구동회로로부터 전송되어 화소부가 작동될 수 있다.

전술한 구조는 도 5 내지 도 7에 나타낸 제작공정을 따라 TFT를 제작함으로써 실현된다. 또한, 본 실시예에서는, 화소부 및 구동회로부의 구조만이 도시되지만, 만약, 회로의 제작공정이 본 실시예에 따라 수행되면, 신호 구동회로, D/A 컨버터 회로, 동작 증폭 회로, 또는 V보정 회로와 같은 구동회로 이외의 논리 회로를 동일 절연체상에 형성할 수 있다. 또한, 메모리부, 마이크로프로세서 등등이 동일한 절연체상에 형성될 수 있는 것으로 간주된다.

EL 소자를 보호하기 위해 밀봉(충전) 공정이 수행된 후 본 실시예의 EL 발광장치를 도 9(A) 및 도 9(B)를 참조하여 설명하기로 한다. 도 5 내지 도 8에 사용된 참조 부호들은 필요시 언급될 것이다.

도 9(A)에는 EL 소자의 밀봉 공정이 수행되는 상태의 평면도가 나타난다. 도 9(B)는 도 9(A)의 선 A-A'를 따라 절취한 중단면도이다. 절선으로 표시된 참조 부호 801은 소스측 구동회로를 나타내고, 참조 부호 806은 화소부를 나타내고, 참조 부호 807은 게이트측 구동회로를 나타낸다. 또한, 참조 부호 901은 커버 부재를 나타내고, 참조 부호 902는 제 1 밀봉 부재를 나타내며, 참조 부호 903은 제 2 밀봉 부재를 나타내고, 밀봉 부재(907)는 에워싸인 제 1 밀봉 부재(902)내부에 제공된다.

참조 부호 904는 소스측 구동회로(801) 및 게이트측 구동회로(807)에 입력 신호를 전송하기 위한 배선을 나타낸 것으로서, 이 배선은 외부 입력 단자가 될 FPC(플렉시블 인쇄 회로)(905)로부터 화상 신호 또는 클록 신호를 수신한다. 여기서는 FPC만 도시되지만, FPC에는 인쇄 배선 기판(PWB)이 장착되거나, FPC는 TCP(테이프 캐리어 패키지)의 형태로 구성될 수도 있다. 또한, IC가 COG(chip on glass)에 의해 기판상에 장착될 수도 있다.

본 명세서의 EL 발광장치는 EL 발광장치의 본체를 의미함은 물론, FPC, TCP 또는 PWB가 EL 발광장치 위에 장착되는 상태를 의미하기도 한다.

다음으로, 도 9(B)를 사용하여 단면 구조가 설명된다. 절연체(501) 위에는, 화소부(806) 및 게이트측 구동회로(807)가 형성된다. 화소부(806)는 다수의 화소로 구성되고, 각 화소는 전류 제어용 TFT(604) 및 그 전류 제어용 TFT(604)에 전기적으로 접속되는 화소 전극(563)을 포함한다. 게이트측 구동회로(807)는 n채널형 TFT(601) 및 n채널형 TFT(602)가 결합되는 NMOS 회로(도 3 참조)를 사용하여 형성된다.

화소 전극(563)은 EL 소자의 음극 역할을 수행한다. 뱅크(564)가 화소 전극(563)의 양단에 형성되어 화소 전극(563)위에 EL 소자의 EL층(565) 및 양극(566)이 형성된다. 양극(566)은 모든 화소에 대해 공통 배선 역할을 수행하고, 접속 배선(904)을 통해 FPC(905)에 전기적으로 접속된다. 또한, 화소부(806) 및 게이트측 구동회로(807)에 포함된 소자는 모두 양극(566) 및 패시베이션막(567)에 의해 덮여진다.

또한, 커버 부재(901)가 제 1 밀봉 부재(902)에 부착된다. 수지막으로 이루어진 스페이서가 제공되어 커버 부재(901)와 EL 소자사이의 간격을 유지한다는 점을 유념해야 한다. 이때, 제 1 밀봉 부재(902)의 내부는 밀봉 부재(907)로 충전(充填)된다. 제 1 밀봉 부재(902) 및 밀봉 부재(907)로서, 예폭시 수지가 사용되는 것이 바람직하다. 또한, 제 1 밀봉 부재(902)는 가능한 한 습기 또는 산소를 투과시키지 않는 물질로 구성되는 것이 바람직하다. 또한, 흡습 효과를 갖는 기판 또는 산화 방지 효과를 갖는 기판이 밀봉 부재(907)내부에 포함될 수도 있다.

EL 소자를 덮기 위해 제공된 밀봉 부재(907)는 커버 부재(901)를 부착하기 위한 접착제 역할을 수행한다. 또한, 본 실시예에서는, 커버 부재(901)를 구성하는 플라스틱 기판(901a)의 재질로서, FRP(섬유 유리 강화 플라스틱), PVF(플루오로화 폴리비닐), Mylar, 폴리에스터, 또는 아크릴이 사용될 수 있다. 다음으로, 탄소막(특히, 다이아몬드형 탄소막)(901b, 901c)은 보호막으로서 플라스틱 기판(901a)의 양 표면상에 2~30 nm의 두께로 형성된다. 이러한 탄소막은 산소 및 물의 침투를 방지하는 울퉁, 플라스틱 기판(901a)의 표면을 기계적으로 보호한다. 또한, 외부 탄소막(901b)위에 편광판(전형적으로는, 원형 편광판)을 부착할 수 있다.

밀봉 부재(907)를 사용하여 커버 부재(901)가 부착된 후, 제 2 밀봉 부재(903)가 제공됨으로써 밀봉 부재(907)의 측면(노출면)을 덮을 수 있다. 제 2 밀봉 부재(903) 및 제 1 밀봉 부재(902)는 동일한 물질로 구성될 수도 있다.

EL 소자를 상기한 밀봉 부재(907) 구조로 밀봉함으로써, EL 소자는 외부로 부터 완전히 차단될 수 있고, 외부로 부터의 산화로 인한 EL층의 열화를 예방시키는 습기 및 산소와 같은 물질의 침투가 방지될 수 있다. 따라서, 고 신뢰도를 갖는 EL 발광장치를 얻을 수 있다.

[실시예 2]

실시예 1의 EL 발광장치의 구조와 상이한 EL 소자를 수용하기 위한 구조의 예에 대해 도 10(A) 및 도 10(B)를 참조하여 실시예 2를 설명하기로 한다. 도 9(A) 및 도 9(B)에 나타낸 것과 동일하거나 이에 대응하는 부분은 동일한 참조 문자로 표시된다. 도 10(B)는 도 10(A)의 선 A-A'를 따라 절취한 증단면이다.

본 실시예에서는, 보호막으로 형성된 탄소막(특히, 다이아몬드형 탄소막)(1001b, 1001c)이 양 표면에 코팅된(덮여진) 플라스틱막(1001a)은 TFT 및 EL 소자가 형성되는 철연 부재(1001)로 사용된다. 탄소막(1001b, 1001c)을 플라스틱막(1001a)의 양 표면에 형성하기 위해, 롤(roll) 또는 롤 방법이 사용될 수도 있다.

밀봉 물질(907)을 사용하여, 커버 부재(1002)가 실시예 1에 따라 제작된 EL 소자를 구비하는 기판에 부착된다. 플라스틱막(1001a)과 유사한 플라스틱막, 즉, 보호막으로 형성된 탄소막(특히, 다이아몬드형 탄소막)(1002b, 1002c)이 양 표면에 코팅된(덮여진) 플라스틱막(1002a)은 커버 부재(1002)로 사용된다. 또한, 커버 부재(1002)의 단부 표면(가장자리부)은 제 2 밀봉 물질(1003)로 밀봉 처리된다.

[실시예 3]

실시예 1에 따른 발광장치에서 n채널형 TFT(601)가 디플리션형의 TFT로 형성되고, n채널형 TFT(602), 스위칭용 TFT(603) 및 전류 제어용 TFT(604)는 엔핸스먼트형의 TFT로 형성되는 경우에 대해 실시예 3을 설명하기로 한다.

도 5(A)에 나타낸 상태의 발광장치의 구성부분들은 실시예 1과 동일한 공정에 의해 완성된다. 100~150 nm의 두께를 갖는 산화 규소막(1101)이 스퍼터링 방법에 의해 형성되고, 레지스트 마스크(1102)는 n채널형 TFT(601)이 형성되는 영역위에 형성된다(도 11(A) 참조).

다음으로, 주기율표의 13족에 속하는 원소(본 실시예에서는 붕소)가 레지스트 마스크(1102)를 사용하여 결정성 반도체막(503)에 첨가된다. 붕소가 $1 \times 10^{16} \sim 5 \times 10^{17}$ 원자/cm² (전형적으로는, $1 \times 10^{16} \sim 1 \times 10^{17}$ 원자/cm²)의 농도로 첨가된 영역(1103) 및 붕소가 첨가되지 않은 영역(1104)이 형성된다(도 11(B) 참조).

그 다음, 결정성 반도체막의 패터닝 공정을 통해 섬모용의 반도체막(1105~1108)이 형성된다. 반도체막(1105)은 붕소가 첨가되지 않은 영역(1104)에 형성되는 반면, 반도체막(1106~1108)은 붕소가 첨가된 영역에 형성된다. 즉, 활성층인 반도체막(1105)을 갖는 TFT는 채널 형성 영역에 붕소를 함유하지 않거나 5×10^{14} 원자/cm²의 낮은 붕소 농도를 갖는 반면, 활성층인 반도체막(1106~1108)을 갖는 TFT는 채널 형성 영역에 $1 \times 10^{16} \sim 5 \times 10^{17}$ 원자/cm² (전형적으로는, $1 \times 10^{16} \sim 1 \times 10^{17}$ 원자/cm²)의 농도의 붕소를 함유한다(도 11(C) 참조).

이어서, 실시예 1과 동일한 공정이 수행될 수도 있다. 본 실시예에서는 반도체막(1105)을 사용하여 형성된 n채널형 TFT는 디플리션 형의 TFT(즉, 통상적인 온 n채널형 TFT)이고, 반도체막(1106~1108)을 사용하여 형성된 n채널형 TFT는 엔핸스먼트형의 TFT(즉, 통상적인 오프 n채널형 TFT)이다.

만약, 본 실시예가 수행되면, 전술한 방법에 의해 형성된 디플리션형의 TFT 및 엔핸스먼트형의 TFT가 결합되어 도 3(B)에 나타낸 BMOS 회로를 형성할 수 있다.

본 실시예는 스레시홀드 전압의 + 방향으로의 이동을 위해, 붕소를 반도체막에 첨가하여 TFT가 엔핸스먼트 형으로 형성되되, 붕소가 첨가된 채널 형성 영역을 포함하는 방법의 예에 대해 설명되었다. 그러나, TFT는 스레시홀드 전압의 - 방향으로의 이동을 위해 주기율표의 15족에 속하는 원소(전형적으로는, 인 또는 비소)를 첨가하여 디플리션 형으로 형성될 수도 있고, TFT는 주기율표의 15족에 속하는 원소가 첨가된 채널 형성 영역을 포함한다.

본 실시예는 실시예 1 또는 실시예 2와 결합되어 수행될 수 있다.

[실시예 4]

소스측 구동회로 및 게이트측 구동회로의 모든 TFT가 E형 TFT로서 형성되는 경우에 대해 도 12 내지 도 14를 참조하여 실시예 4를 설명하기로 한다. 본 발명에 따르면, n채널형 TFT만을 사용한 디코더가 시프트 레지스터를 대신하여 사용된다.

도 12는 게이트측 구동회로의 예를 나타내는 것이다. 도 12를 참조하면, 섹션(100)은 게이트측 구동회로의 디코더이고, 섹션(101)은 게이트측 구동회로의 버퍼부이다. 버퍼부는 다수의 버퍼(버퍼 증폭기)가 집적되는 부분을 나타낸다. 또한, '버퍼'는 후속 스테이지가 이전 스테이지에 영향을 미치지 않도록 하는 구동용 회로를 나타낸다.

우선, 게이트측 디코더(100)를 설명하기로 한다. 디코더(100)는 입력 신호선(이하는, '선택선'이라 자칭함)을 갖는다. 도 12에는 신호 A1 및 (신호 A1의 극성에 대해 반대인 극성으로 이루어진) 신호 A1-바(bar), 신호 A2 및 (신호 A2의 극성에 대해 반대인 극성으로 이루어진) 신호 A2-바, ..., 신호 An 및 (신호 An의 극성에 대해 반대인 극성으로 이루어진) 신호 An-바를 공급하기 위한 선택선이 예시된다. 즉, 2n개의 선택선이 배열된다는 것을 이해할 수 있다.

선택선의 수는 신호가 게이트측 구동회로로부터 공급되는 게이트 배선의 수에 따라 결정된다. 예컨대, 비디오 그래픽 어레이(VGA) 표시를 위한 화소부가 제공되면, 게이트 배선의 수는 480 개이고, 9 비트($n=9$ 에 해당)에 대해 전체 18개의 선택선이 요구된다. 선택선(102)은 도 13의 파형도에 나타낸 신호를 전송한다. 도 13에 나타낸 바와 같이, A1의 주파수가 10이면, A2의 주파수는 2¹이고, A3의 주파수는 2²이고, An의 주파수는 2ⁿ⁻¹이다.

구성부(103a)는 제 1 스테이지 NAND 회로('NAND 셀'로도 지칭됨)이고, 구성부(103b)는 제 2 스테이지 NAND 회로이고, 구성부(103c)는 제 n 스테이지 NAND 회로이다. 필요한 NAND 회로의 수는 게이트 배선의 수, 즉 본 설명에서 n개의 NAND 회로에 대응한다. 즉, 본 발명에서는, 디코더(100)가 다수의 NAND 회로에 의해 형성된다.

n채널형 TFT(104~109)가 결합되어 각각의 NAND 회로(103a~103c)를 형성한다. 실제로, 상기 NAND 회로(103)를 형성하기 위해 2n개의 TFT가 사용된다. 각 n채널형 TFT(104~109)의 게이트는 선택선(102)(A1, A1-바, A2, A2-바, ..., An, An-바)중 하나에 접속된다.

NAND 회로(103a)의 경우, A1, A2, ..., An('포지티브 선택선'으로 지칭됨)중 하나에 접속되는 게이트를 각각 갖는 n채널형 TFT(104~106)는 상호 병렬로 접속되고, 부 전원 공급선(V_{dd})에 대해 공통 소스 접속부를 구비하고 출력선(71)에 대해 공통 드레인 접속부를 구비한다. A1-바, A2-바, ..., An-바('네가티브 선택선'으로 지칭됨)중 하나에 접속되는 게이트를 각각 갖는 n채널형 TFT(107~109)는 상호 직렬로 접속된다. 회로 단부의 n채널형 TFT(109)의 소스는 정 전원 공급선(V_{dd})(112)에 접속되는 반면, 다른 회로 단부의 n채널형 TFT(107)의 드레인은 출력선(111)에 접속된다.

전술한 바와 같이, 본 발명에 있어서, 각 NAND 회로는 직렬로 접속된 n개의 n채널형 TFT 및 병렬로 접속된 n개의 n채널형 TFT를 구비한다. 그러나, n개의 NAND 회로(103a~103c)는 n채널형 TFT 및 선택선의 조합에 있어서 서로 다르다. 즉, 하나의 출력선(111)만이 한번에 선택된다. 선택선들은, 출력선들이 NAND 회로의 어레이의 단부로부터 연속적으로 선택되도록 신호들을 공급받는다.

버퍼부(101)는 NAND 회로(103a~103c)에 대응하는 다수의 버퍼(113a~113c)에 의해 형성된다. 그러나, 버퍼(113a~113c)는 구성에 있어 동일할 수도 있다.

각 버퍼(113a~113c)는 n채널형 TFT(114~116)를 사용하여 형성된다. 디코더로의 출력선(111)은 n채널형 TFT(114)(제 1 n채널형 TFT)의 게이트에 입력 선으로서 접속된다. n채널형 TFT(114)는 정 전원 공급선(V_{dd})(117)에 접속되는 소스를 구비하고, 화소부에 연결되는 게이트 배선(118)에 접속되는 드레인을 구비한다. n채널형 TFT(115)(제 2 n채널형 TFT)는 정 전원 공급선(V_{dd})(117)에 접속되는 게이트를 구비하고, 부 전원 공급선(V_{dd})(119)에 접속되는 소스를 구비하고, 게이트 배선(118)에 접속되는 드레인을 구비하며, 항상 온 상태에 있다.

즉, 본 발명에 있어서, 각 버퍼(113a~113c)는 제 1 n채널형 TFT(n채널형 TFT(114)) 및 제 1 n채널형 TFT와 직렬로 접속되는 제 2 n채널형 TFT(n채널형 TFT(115))를 구비하고, 제 1 n채널형 TFT의 드레인에 접속되는 게이트를 구비한다.

n채널형 TFT(116)(제 3 n채널형 TFT)는 리셋 신호선에 접속되는 게이트, 부 전원 공급선(V_{dd})(119)에 접속되는 소스 및 게이트 배선(118)에 접속되는 드레인을 구비한다. 부 전원 공급선(V_{dd})(119)은 접지 전원 공급선(GND)으로서 제공될 수도 있다.

최종 형성된 버퍼의 경우, #1로 표현되는 n채널형 TFT(115)의 채널폭 및 #2로 표현되는 n채널형 TFT(114)의 채널폭은 #1 < #2인 관계에 있다. 채널폭은 채널 길이에 수직인 방향에서의 채널 형성 영역의 크기이다.

버퍼(113a)는 미하에서 설명되는 바와 같이 동작한다. 부 전압이 출력선(111)에 인가되면, n채널형 TFT(114)는 (채널이 형성되지 않은 상태에서) 오프된다. 반면에, n채널형 TFT(115)는 (채널이 형성된 상태에서) 항상 온 상태가 되어 부 전원 공급선(119)의 전압이 게이트 배선(118)에 인가된다.

정 전압이 출력선(111)에 인가되면, n채널형 TFT(114)는 터온된다. 이때, n채널형 TFT(114)의 채널폭은 n채널형 TFT(115)의 채널폭보다 넓기 때문에, 게이트 배선(118)의 전위가 n채널형 TFT(114)의 출력에 의해 끌어 당겨져 정 전원 공급선(117)의 전압이 게이트 배선(118)에 인가된다.

따라서, 게이트 배선(118)을 통해, 정 전압이 출력선(111)에 인가될 때(화소 스위칭 소자로 사용되는 n채

닐형 TFT가 턴온되도록) 정 전압이 출력되고, 부 전압이 출력선(111)에 인가될 때 (화소 스위칭 소자로 사용되는 n채널형 TFT가 턴오프되도록) 부 전압이 항상 출력된다.

n채널형 TFT(116)는 정 전압이 인가되는 게이트 배선(118)의 전위를 부 전압으로 강제로 감소시키기 위한 리셋 스위치로서 사용된다. 즉, 게이트 배선(118)의 선택을 위해 주기 증료시에 게이트 배선(118)에 부 전압을 인가하도록 리셋 신호가 입력된다. 그러나, n채널형 TFT(116)는 제거될 수도 있다.

게이트 배선은 전술한 바와 같이 동작하는 게이트 측 구동회로에 의해 연속적으로 선택된다. 도 14는 소스측 구동회로의 구성을 나타내는 것이다. 도 14에 나타낸 소스측 구동회로는 디코더(121), 래치(122), 및 버퍼부(123)를 구비한다. 디코더(121) 및 버퍼부(123)의 구성은 게이트 측 구동회로의 디코더 및 버퍼부 구성과 동일하고, 이들에 대한 설명은 생략될 것이다.

도 14에 나타낸 소스측 구동회로에 있어서, 래치(122)는 제 1 스테이지 래치(124) 및 제 2 스테이지 래치(125)로 형성된다. 제 1 스테이지 래치(124) 및 제 2 스테이지 래치(125)의 각각은 m 개의 n채널형 TFT(126a~126c)에 의해 각각 형성되는 다수의 유닛 셕션(127a 또는 127b)을 구비한다. 디코더(121)의 출력선(128)은 입력 선으로서 유닛 셕션(127a)을 구성하는 m 개의 n채널형 TFT(126a~126c)의 각각의 게이트에 접속된다. 문자 m 은 암의 정수를 나타낸다.

예컨대, VGA 표시의 경우, 소스 배선의 수는 640이다. 만약, $m = 10$ 이면, 640 개의 NAND 회로 및 20 개의 선택선(10 비트에 해당함)이 요구된다. 만약, $m = 80$ 이면, 필요한 NAND 회로의 수는 80 개이고 필요한 선택선의 수는 140이다(7 비트에 해당함). 즉, 만약, 상기 소스 배선의 수가 M 개이면, 필요한 NAND 회로의 수는 (M/m)이다.

n채널형 TFT(126a~126c)의 소스들은 각각 화상 신호선(V1, V2, ..., V_k)(129)에 접속된다. 즉, 정 전압이 출력선(128)에 인가되면, n채널형 TFT(126a~126c)는 해당 화상 신호를 입력시키기 위해 동시에 턴온된다. 입력된 화상 신호들은 n채널형 TFT(126a~126c)에 접속된 커파시터(130a~130c)에서 유지된다.

제 2 스테이지 래치(125)는 m 개의 n채널형 TFT(131a~131c)에 의해 각각 형성되는 다수의 유닛 셕션(127b)을 구비한다. 모든 n채널형 TFT(131a~131c)의 게이트는 래치 신호선(132)에 접속된다. 부 전압이 래치 신호선(132)에 인가되면, n채널형 TFT(131a~131c)는 동시에 턴온된다.

이때, 커파시터(130a~130c)에 의해 유지되는 신호들은 n채널형 TFT(131a~131c)에 각각 접속되는 커파시터(133a~133c)에 의해 유지되고, 버퍼(123)로 동시에 출력된다. 이때, 신호들은 도 13을 참조하여 전술한 바와 같이, 버퍼를 통해 소스 배선(134)으로 출력된다. 소스 배선들은 전술한 바와 같이 소스측 구동회로에 의해 연속적으로 선택된다.

따라서, 게이트 측 구동회로 및 소스측 구동회로는 n채널형 TFT에 의해서만 형성됨으로써, 화소부 및 구동회로를 위한 모든 TFT는 n채널형 TFT로 형성될 수 있다. 또한, 본 발명은 게이트 측 구동회로와 소스측 구동회로 중 하나가 외부 장착 IC(전형적으로는, TCP의 형태로 또는 COG 방식으로)로서 제공되는 발광장치에 적용될 수 있다.

[실시예 5]

소스측 구동회로 및 게이트 측 구동회로 각각이 E형의 NTFT와 D형의 NTFT를 결합하여 형성되는 경우에 대해 도 15 및 도 16을 참조하여 실시예 5를 설명하기로 한다.

도 15는 게이트 측 구동회로의 예를 나타내는 것이다. 도 15를 참조하면, 시프트 레지스터(140), NAND 회로부(141), 및 버퍼부(142)가 예시된다.

시프트 레지스터(140)는 도 4에 나타낸 시프트 레지스터의 구체적인 예이다. 클록 신호선(143), 반대 극성의 클록을 공급하기 위한 클록 신호선(144), 정 전원 공급선(V_{cc})(150), 및 접지 전원 공급선(GND)(151)이 제공된다. 본 실시예에 대해, 시프트 레지스터(140)를 구성하는 기본 유닛으로서 3개의 플립-플롭 회로(147a~147c)가 예시된다. 실제로, 3개 이상의 다수의 플립-플롭 회로가 직렬로 접속되어 시프트 레지스터(140)를 형성한다.

본 실시예의 플립-플롭 회로(147a)는 도 4에 나타낸 플립-플롭 회로(400)에 대응하여 구성되고, 플립-플롭 회로(147b)는 플립-플롭 회로(401)에 대응하여 구성된다. 플립-플롭 회로(147a~147c) 각각은 E형의 NTFT 및 D형의 NTFT에 의해 형성된다.

립-플롭 회로(147a)의 경우, E형의 NTFT(148)는 클록 신호선(143)에 접속되는 게이트를 구비하고, 도 3(B)에 나타낸 구성의 ED莫斯 회로(149a~149c)는 도 4에 나타낸 것과 같은 구성으로 형성된다. 선(150)은 정 전원 공급선(V_{cc})이고, 선(151)은 접지 전원 공급선(GND)이다.

플립-플롭 회로(147b)는 E형의 NTFT(152)의 게이트가 반대 극성을 갖는 클록 신호선(144)에 접속되는 것을 제외하고, 플립-플롭 회로(147a)의 동일한 구성을 갖는다.

플립-플롭 회로(147a)의 출력선(153) 및 플립-플롭 회로(147b)의 출력선(154)은 NAND 회로(155a)에 접속된다. NAND 회로부(141)의 3개의 NAND 회로(155a~155c)가 예시된다. 실제로, NAND 회로부(141)는 3개 이상의 다수의 NAND 회로로 형성된다. 2개의 플립-플롭 회로에 대응하여 하나의 NAND 회로가 제공된다. NAND 회로(155a~155c) 각각은 E형의 NTFT(156, 157) 및 D형의 NTFT(159)에 의해 형성된다.

NAND 회로(155a)의 경우, E형의 NTFT(156)는 출력선(153)에 접속되는 게이트, 접지 전원 공급선(151)에 접속되는 소스, 및 E형의 NTFT(157)에 접속되는 드레인을 구비한다. E형의 NTFT(157)는 출력선(154)에 접속되는 게이트, E형의 NTFT(156)의 드레인에 접속되는 소스, 및 출력선(158)에 접속되는 드레인을 구비한다.

NAND 회로(155a)의 출력선(158)은 ED莫斯 회로(민버터 회로로도 지칭됨)(161a)에 접속된다. 버퍼부(142)의 3개의 ED莫斯 회로(161a~161c)가 예시된다. 실제로, 버퍼부(142)는 3개 이상의 다수의 ED莫斯 회

로로 형성된다.

EDMOS 회로(161a)의 경우, E형의 NTFT(162)는 출력선(158)에 접속되는 게이트, 부 전원 공급선(V_{dd})(163)에 접속되는 소스, 및 출력선(164)(화소부의 게이트 배선에 해당함)에 접속되는 드레인을 구비하고, D형의 NTFT(165)는 출력선(164)에 접속되는 게이트 및 드레인, 및 정 전원 공급선(160)에 접속되는 소스를 구비한다.

도 16은 소스측 구동회로의 구성을 나타내는 것이다. 도 16에 나타낸 상기 소스측 구동회로는 전달 게이트(165a~165c)를 도 15에 나타낸 게이트측 구동회로에 부가함으로써 형성되고, 시프트 레지스터(140), NAND 회로부(141), 및 버퍼부(142)를 형성하는 것과 동일한 회로들이 사용될 수 있다. 이러한 구성은 아날로그 구동을 위해 의도된 것이다.

본 실시예에서는, 2개의 E형의 NTFT가 전달 게이트(165a~165c)에 병렬로 제공된다. 그러나, 이것은 용장 설계이고, 전류 공급 용량을 향상시키기 위한 수단이다. 선(166)은 화상 신호선이다.

본 실시예에서는, 만약, 디지털 구동 동작이 수행되면, 도 14에 나타낸 래치(122) 및 버퍼(123)는 NAND 회로부(141)아래에 배치될 수도 있다. 이와는 반대로, 도 14에 나타낸 소스측 구동회로를 아날로그 구동으로 개작하기 위해, 래치(122)가 제거될 수도 있고, 도 16에 나타낸 전달 게이트가 버퍼부(123) 이후의 스테이지로서 부가될 수도 있다.

전술한 바와 같이, 게이트측 구동회로 및 소스측 구동회로는 n채널형 TFT에 의해서만 형성됨으로써, 화소부 및 구동회로를 한 모드 TFT는 n채널형 TFT로 형성될 수 있다. 또한, 본 발명은 게이트측 구동회로와 소스측 구동회로 중 하나가 외부 장착 IC로서 제공되는 발광장치에 적용될 수 있다.

[실시예 6]

도 17(A) 및 도 17(B)는 본 발명의 EL 발광장치의 각 화소 형성 세그먼트의 구성의 예를 나타내는 것이다. 도 17(A)를 참조하면, 선(1701)은 게이트 배선이고, 선(1702)은 소스 배선이고, 선(1703)은 정 전원 공급선이며, 선(1704)은 부 전원 공급선(접지 전원 공급선일 수도 있음)이다. 구성부(1705-1708)는 E형의 NTFT이고, 구성부(1709, 1710)는 D형의 NTFT이다. 참조 부호 1711로 표시되는 EL 소자는 E형의 NTFT(1708)에 접속된다.

본 실시예의 화소 형성 구조의 경우, 하나의 화소 형성 세그먼트에 6 개의 TFT가 제공되어 정적 랜덤 액세스 메모리(SRAM)를 형성한다. 이를 보다 구체적으로 설명하면, 다수의 E형의 NTFT 및 다수의 D형의 NTFT은 SRAM을 형성한다. 따라서, 본 발명을 수행함에 있어, 하나의 화소 형성 세그먼트에 포함된 TFT의 수는 특별히 제한되지 않는다.

본 실시예의 화소 형성 구조의 경우, E형의 NTFT(1705)는 스위칭용 TFT 역할을 수행하는 반면, E형의 NTFT(1708)는 전류 제어용 TFT 역할을 수행한다. 또한, E형의 NTFT(1706) 및 D형의 NTFT(1709)에 의해 구성되는 인버터 회로와, E형의 NTFT(1707) 및 D형의 NTFT(1710)에 의해 구성되는 인버터 회로가 결합되어 메모리 기능을 수행한다.

도 17(B)는 도 17(A)에 나타낸 2개의 인접 화소가 공통 부 전원 공급선을 구비하고 대칭으로 배열되는 화소 형성 구조의 예를 나타내는 것이다. 이러한 방식으로, 각 화소 형성 세그먼트의 배선의 수가 감소되어 화소 밀도가 증가될 수 있다.

본 실시예의 구성은 본 발명을 수행하기 위해 실시예 1 내지 5중 어느 실시예와도 결합될 수 있다.

[실시예 7]

실시예 4 또는 5의 소스측 구동회로 및 게이트측 구동회로는 액정 표시장치에 사용될 수 있다. 즉, 도 3(A)에 나타낸 EDMOS 회로들 중 임의의 회로, 도 3(B)에 나타낸 EDMOS 회로, 도 4에 나타낸 시프트 레지스터, 도 13에 나타낸 게이트측 구동회로, 및 도 14에 나타낸 소스측 구동회로는 액정 표시장치용의 구동회로를 형성하기 위해 사용될 수 있다.

액정표시장치는 플렉시블 인쇄 회로(FPC)가 액정 패널에 부착되는 액정 모듈일 수도 있다. 액정 모듈은 인쇄 배선 기판(PWB)이 FPC가 접속되는 부재로서 제공되는 구성을 포함한다. 또한, 액정 모듈은 접착 회로(IC)가 FPC에 접속되는 테이프 캐리어 패키지(TCP)를 포함한다. IC가 COG(칩-온 글래스) 방식으로 상기 기판상에 장착될 수도 있다.

[실시예 8]

본 발명을 수행함에 있어서, 하부 게이트 TFT(전형적으로는, 역 스태거 TFT)가 탑(top) 게이트 TFT(전형적으로는, 플레이너형 TFT)로 사용될 수도 있다. 또한, 반도체 기판(전형적으로는, 실리콘 기판)상에 형성되는 MOSFET가 사용될 수도 있다.

본 실시예의 구성은 본 발명을 수행하기 위해 실시예 1 내지 7중 어느 실시예와도 결합될 수 있다.

[실시예 9]

본 발명을 구현함으로써 형성되는 발광장치 및 액정 표시장치는 다양한 전기 기구의 표시부로서 사용될 수도 있다. 본 발명의 전기 기구로서, 비디오 카메라, 디지털 카메라, 고글형의 표시장치(헤드 장착형 표시장치), 차량 네비게이션 시스템, 차량 오디오, 노트북형의 퍼스널 컴퓨터, 게임기, 휴대형 정보 단말기(마동형 컴퓨터, 휴대형 전화기, 휴대형 게임기 또는 전자 책 등), 및 기록매체를 포함하는 화상 재생 장치를 들 수 있다. 상기 전자 장치의 특성 예로는 도 20 및 도 21에 나타낸다.

도 20(A)에는 케이스(2001), 지지 베이스(2002), 표시부(2003)를 포함하는 EL 표시장치가 예시되어 있다. 본 발명의 발광 방식 및 액정 표시장치는 표시부(2003)에 사용될 수 있다. 표시부(2003)에 EL 발광장치를 사용하면, EL 발광장치는 자체 발광 방식이기 때문에, 백 라이트가 필요 없으면 표시부는 얇게 구성될

수 있다.

도 20(B)에는 본체(2101), 표시부(2102), 음성 입력부(2103), 조작 스위치(2104), 배터리(2105), 및 화상 수신부(2106)를 포함하는 비디오 카메라가 예시되어 있다. 본 발명의 발광장치 및 액정 표시장치는 표시부(2102)에 사용될 수 있다.

도 20(C)에는 본체(2201), 표시부(2202), 접안부(接眼部)(2203), 및 조작 스위치(2204)를 포함하는 디지털 카메라가 예시되어 있다. 본 발명의 발광장치 및 액정 표시장치는 표시부(2202)에 사용될 수 있다.

도 20(D)에는 본체(2301), 기록매체(2302)(CD, LD, DVD 등등), 조작 스위치(2303), 표시부(a)(2304), 및 표시부(b)(2305) 등을 포함하는 기록매체를 장착한 화상재생 장치(특히, DVD 재생 플레이어장치)가 예시되어 있다. 표시부(a)(2304)는 주로 화상정보를 표시하는데 사용된다. 표시부(b)(2305)는 주로 문자정보를 표시하는데 사용된다. 본 발명의 발광장치 및 액정 표시장치는 표시부(a)(2304) 및 표시부(b)(2305)에 적용될 수 있다. 상기 기록매체를 장착한 화상 재생 장치는 CD 플레이어 장치 또는 게임기와 같은 장치들을 포함한다는 것을 유념해야 한다.

도 20(E)에는 본체(2401), 표시부(2402), 화상 수신부(2403), 조작 스위치(2404), 및 메모리 슬롯(2405)을 포함하는 휴대형(이동) 컴퓨터가 예시되어 있다. 본 발명의 발광장치 및 액정 표시장치는 표시부(2402)에 적용될 수 있다. 이러한 휴대형 컴퓨터는 플래시 메모리 또는 불활성 메모리를 저장한 기록매체에 정보를 기록하거나, 상기한 정보를 재생할 수도 있다.

도 21(F)에는 본체(2501), 케이스(2502), 표시부(2503), 및 키보드(2504)를 포함하는 퍼스널 컴퓨터가 예시되어 있다. 본 발명의 발광장치 및 액정 표시장치는 표시부(2503)에 적용될 수 있다.

상기 전기 기구들은 종종 인터넷 또는 CATV(유선 텔레비전)와 같은 전자 통신 회로를 통해 전송된 정보를 표시하고, 특히 화상 정보 표시가 증가 추세에 있다. 상기 표시부에 상기 EL 발광장치를 사용하면, EL 발광장치의 응답 속도가 매우 빠르기 때문에, 자연 없이 화상을 표시할 수 있게 된다.

또한, EL 발광장치의 발광부는 전력을 소비하기 때문에, 발광부의 크기가 가능한 한 소형이 되도록 정보를 표시하는 것이 바람직하다. 따라서, EL 발광장치를 휴대형 정보 단말기에, 특히 문자 정보가 주로 셀룰러 폰 또는 차량 오디오에 표시되는 표시부에 사용할 때, 문자 정보가 배경인 비발광부를 구비하는 발광부로 형성되도록 구동하는 것이 바람직하다.

여기서, 도 21은 휴대형 전화기를 예시한 것으로서, 참조 부호 2601은 키 동작을 수행하는 동작부를 나타내고, 참조 부호 2602는 정보 표시 기능을 수행하는 정보 표시부를 나타내고, 동작부(2601) 및 정보 표시부(2602)는 연결부(2603)에 의해 연결된다. 또한, 동작부(2601)는 음성 출력부(2604) 및 조작 스위치(2605)를 구비하고, 정보 표시부(2602)는 음성 입력부(2606) 및 표시부(2607)를 구비한다.

본 발명의 발광장치 및 액정 표시장치는 표시부(2607)로서 사용될 수 있다. EL 발광장치를 표시부(2607)에 사용할 경우, 휴대형 전화기의 소비 전력은 검정색 배경에 흰색 문자를 표시함으로써 억제될 수 있다.

도 21(A)에 나타낸 휴대형 전화기의 경우, 표시부(2607)에 사용된 EL 발광장치는 센서(NMOS 센서)를 포함하고, 사용자의 지문 또는 손을 판독하여 사용자의 신원을 인증하기 위한 인증 시스템 단말기로 사용될 수 있다. 또한, 외부의 휘도(조도)를 고려하고 이미 설정된 콘트라스트로 정보를 표시하도록 함으로써 광 방사 기능이 수행될 수 있다.

또한, 조작 스위치(2605)를 사용할 때 휘도를 감소시키고 조작 스위치의 사용이 완료될 때 휘도를 증가시킴으로써 저 전력 소비를 달성할 수 있다. 더욱이, 전화호가 수신되면, 표시부(2607)의 휘도가 증가하고, 통화시에 휘도를 감소시킴으로써 저 전력 소비가 달성된다. 또한, 전화를 연속적으로 사용할 경우, 상기 전화에 표시 기능이 리셋되지 않으면 시간 제어에 의해 턴오프되도록 하는 기능을 구비함으로써 저 전력 소비가 실현된다. 이러한 제어 기능은 손으로 작동될 수도 있음을 유념해야 한다.

또한, 도 21(B)에는 케이스(2701), 표시부(2702), 및 조작 스위치(2703, 2704)를 포함하는 오디오가 예시되어 있다. 본 발명의 발광장치 및 액정 표시장치는 표시부(2703)에 적용될 수 있다. 또한, 본 실시예에서는 차량 장착 오디오(카 오디오)가 도시되지만, 고정된 형의 오디오(오디오 컨포넌트)에 사용될 수도 있다. 단, 발광장치를 상기 표시부(2702)에 사용할 경우, 검정색 배경에 흰색 문자를 표시함으로써 전력 소비가 억제될 수 있다.

또한, 상기한 전기 장치는 표시부에 사용되는 발광장치 및 액정 표시장치의 광 센서를 포함하고, 사용 환경의 휘도를 검출하기 위한 수단을 제공할 수 있다. 표시부에 EL 발광장치를 사용할 경우, 표시부는 사용 환경의 휘도에 따라 광 방사 휘도를 조절하는 기능을 구비할 수 있다. 특히, 이러한 기능은 표시부를 이용한 EL 발광장치위에 NMOS 회로에 의해 형성된 화상 센서(표면 형상, 직선 또는 점선 센서)를 설치함은 물론, 본체 또는 케이스위에 CCD(전하 결합 소자)를 설치함으로써 구현된다. 사용자는 사용 환경의 휘도에 비해 100~50의 콘트라스트비의 휘도가 유지되는 경우, 아무런 문제없이 화상 또는 문자 정보를 인식할 수 있다. 즉, 사용 환경이 어두운 경우, 화상의 휘도를 억압함으로써 소비 전력을 억제할 수 있다.

전술한 바와 같이, 본 발명의 응용 범위가 매우 넓고, 다양한 전기 장치에 사용될 수 있다. 또한, 본 실시예의 전기 장치는 실시예 1 내지 5의 구조를 포함하는 상기 발광장치 및 액정 표시장치를 사용할 수 있다.

본 발명을 수행함으로써 저 비용 및 고 수율로 고 광추출 효율을 갖는 발광장치를 제작할 수 있다. 따라서, 저렴하면서도 밝은 화상을 표시할 수 있는 발광장치가 제공될 수 있다. 또한, 표시부에 밝은 화상을 표시할 수 있는 저가의 발광장치를 사용함으로써 밝은 화상의 표시가 가능한 표시부를 구비한 저가의 전기 기구가 제공될 수 있다.

발광의 효과

상술한 바와 같이, 본 발명은 광범위한 응용분야를 가지며, 모든 분야의 전자 장치에 폭넓게 적용될 수 있다. 또한, 본 발명에 따르면, 저 비용 및 고 수율로 고 광추출 효율을 갖는 발광장치를 제작할 수 있다. 따라서, 저렴하면서도 밝은 화상을 표시할 수 있는 발광장치가 제공될 수 있고, 표시부에 밝은 화상을 표시할 수 있는 저가의 발광장치를 사용함으로써 밝은 화상의 표시가 가능한 표시부를 구비한 저가의 전기 기구를 구현할 수 있다.

(57) 청구의 범위**청구항 1**

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 화소부 및 상기 구동회로를 구성하는 모든 반도체 소자들이 n채널형 반도체 소자인 것을 특징으로 하는 발광장치.

청구항 2

제 1 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 3

제 1 항에 있어서, 상기 반도체 소자는 박막트랜지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 4

제 1 항에 있어서, 상기 구동회로는 EEMOS 회로와 EDMOS 회로중 적어도 하나의 회로를 포함하는 것을 특징으로 하는 발광장치.

청구항 5

제 1 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 6

제 1 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 7

기판위에 형성되고, 스위칭용 소자 및 전류 제어용 소자를 구비한 화소부; 및

상기 기판위에 형성되는 인버터 회로를 구비한 구동회로를 포함하고,

상기 스위칭용 소자, 상기 전류 제어용 소자, 및 상기 인버터 회로를 구성하는 모든 반도체 소자들이 n채널형 반도체 소자인 것을 특징으로 하는 발광장치.

청구항 8

제 7 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 9

제 7 항에 있어서, 상기 반도체 소자는 박막트랜지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 10

제 7 항에 있어서, 상기 구동회로는 EEMOS 회로와 EDMOS 회로중 적어도 하나의 회로를 포함하는 것을 특징으로 하는 발광장치.

청구항 11

제 7 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 12

제 7 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 13

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 구동회로는 다수의 NAND 회로를 구비하는 디코더 회로를 포함하고.

상기 다수의 NAND 회로를 구성하는 모든 반도체 소자들이 n채널형 반도체 소자인 것을 특징으로 하는 발광장치.

청구항 14

제 13 항에 있어서, 상기 반도체 소자는 직렬로 접속되는 n개의 n채널형 반도체 소자 및 병렬로 접속되는 n개의 n채널형 반도체 소자를 포함하는 것을 특징으로 하는 발광장치.

청구항 15

제 13 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 16

제 13 항에 있어서, 상기 반도체 소자는 박막트랜지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 17

제 13 항에 있어서, 상기 발광장치는 전기장 발광 표시장치인 것을 특징으로 하는 발광장치.

청구항 18

제 13 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 19

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 버퍼 회로를 구비한 구동회로를 포함하고,

상기 버퍼 회로를 구성하는 모든 반도체 소자들은 n채널형 반도체 소자이고,

상기 버퍼 회로는 제 1 반도체 소자 및 상기 제 1 반도체 소자와 직렬로 접속되는 제 2 반도체 소자를 구비하고, 상기 제 2 반도체 소자의 게이트는 상기 제 1 반도체 소자의 드레인에 접속되는 것을 특징으로 하는 발광장치.

청구항 20

제 19 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 21

제 19 항에 있어서, 상기 반도체 소자는 박막트랜지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 22

제 19 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 23

제 19 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 24

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 다수의 NAND 회로 및 버퍼 회로를 구비하여 형성되는 디코더 회로를 구비한 구동회로를 포함하고,

상기 다수의 NAND 회로 및 버퍼 회로를 구성하는 모든 반도체 소자들은 n채널형 박막트랜지스터이고;

상기 버퍼 회로는 제 1 박막트랜지스터 및 상기 제 1 박막트랜지스터와 직렬로 접속되는 제 2 박막트랜지스터를 구비하고, 상기 제 2 박막트랜지스터의 게이트는 상기 제 1 박막트랜지스터의 드레인에 접속되는 것을 특징으로 하는 발광장치.

청구항 25

제 24 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 26

제 24 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 27

제 24 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오

디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 28

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 구동회로는 엔핸스먼트 형의 n채널형 박막트랜지스터 및 디플리션 형의 n채널형 박막트랜지스터에 의해 형성되는 다수의 플립-플롭 회로를 구비한 시프트 레지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 29

제 28 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 30

제 28 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 31

제 28 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 32

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 구동회로는 엔핸스먼트 형의 n채널형 박막트랜지스터 및 디플리션 형의 n채널형 박막트랜지스터에 의해 형성되는 다수의 플립-플롭 회로를 구비한 시프트 레지스터를 포함하고, 엔핸스먼트 형의 n채널형 박막트랜지스터 및 디플리션 형의 n채널형 박막트랜지스터에 의해 형성되는 다수의 NAND 회로를 포함하는 것을 특징으로 하는 발광장치.

청구항 33

제 32 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 34

제 32 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 35

제 32 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 36

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 각 화소는 다수의 엔핸스먼트 형의 n채널형 박막트랜지스터 및 다수의 디플리션 형의 n채널형 박막트랜지스터를 포함하는 것을 특징으로 하는 발광장치.

청구항 37

제 36 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 38

제 36 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 39

제 36 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 40

제 36 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

청구항 41

기판위에 형성되는 다수의 화소를 구비한 화소부; 및

상기 기판위에 형성되는 구동회로를 포함하고,

상기 각 화소는 다수의 엔핸스먼트 형의 n채널형 박막트랜지스터 및 다수의 디플리션 형의 n채널형 박막 트랜지스터에 의해 형성되는 SRAM을 포함하는 것을 특징으로 하는 발광장치.

청구항 42

제 41 항에 있어서, 상기 기판은 보호막이 덮여진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 43

제 41 항에 있어서, 상기 기판은 보호막이 덮혀진 플라스틱 기판을 포함하는 것을 특징으로 하는 발광장치.

청구항 44

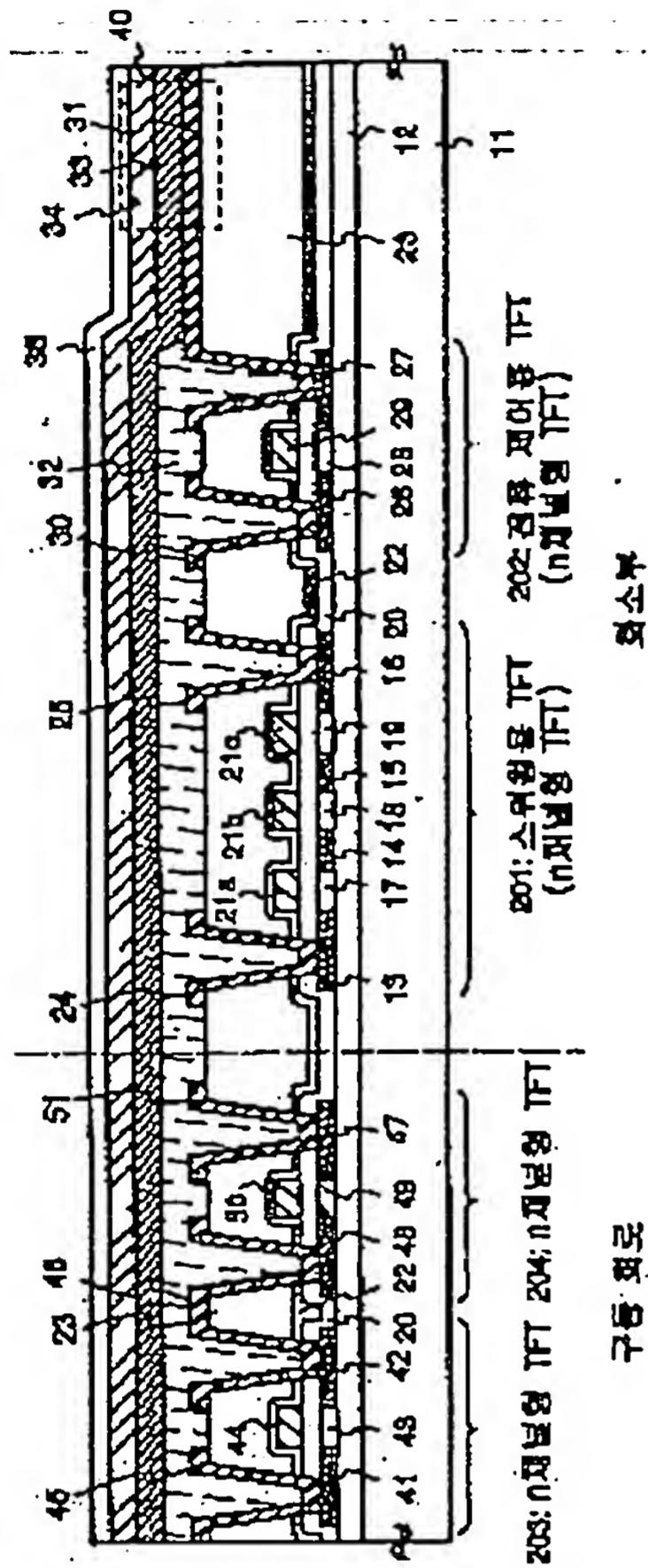
제 41 항에 있어서, 상기 다수의 화소 각각에 전기장 발광 소자가 제공되는 것을 특징으로 하는 발광장치.

청구항 45

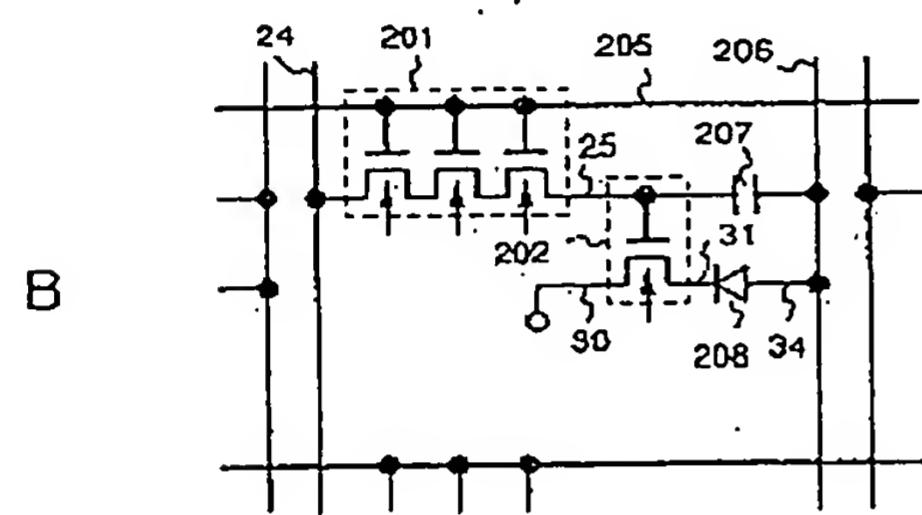
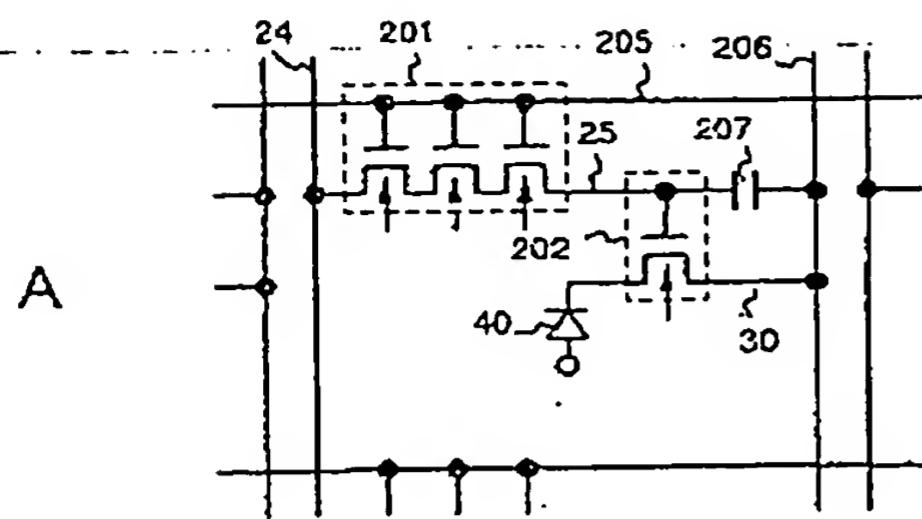
제 41 항에 있어서, 상기 발광장치는 비디오 카메라, 디지털 카메라, 이동용 컴퓨터, 휴대 전화기, 및 오디오로 구성되는 군으로부터 선택된 하나의 기기인 것을 특징으로 하는 발광장치.

도면

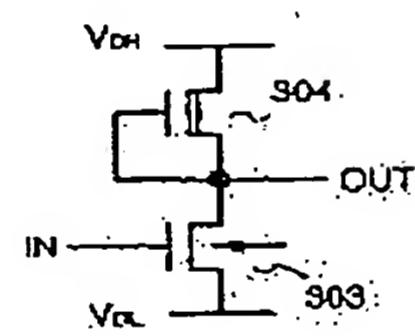
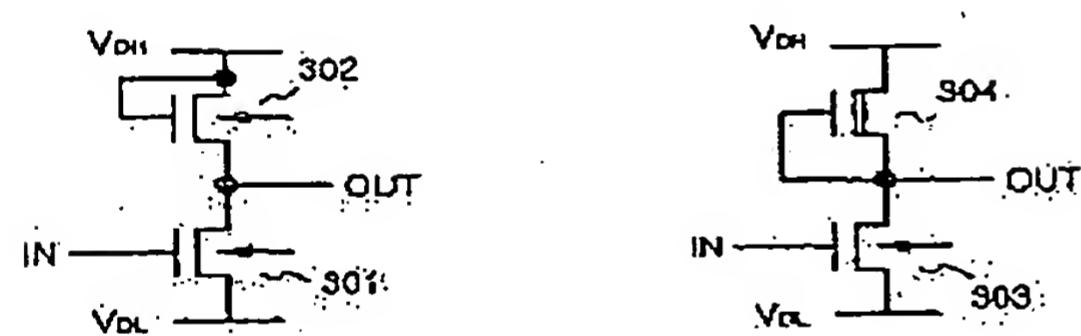
501



582

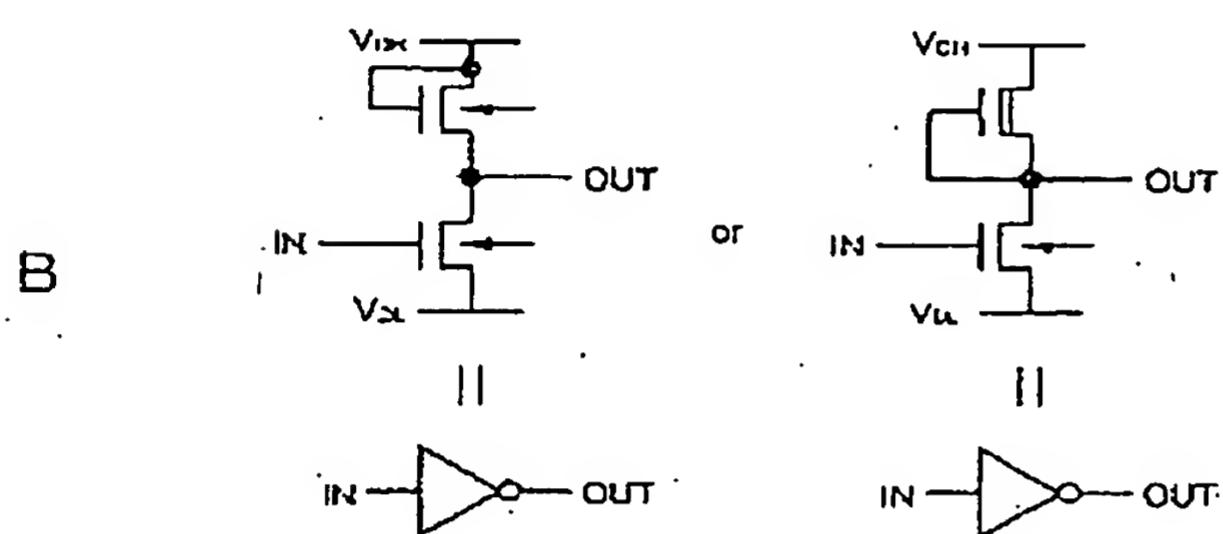
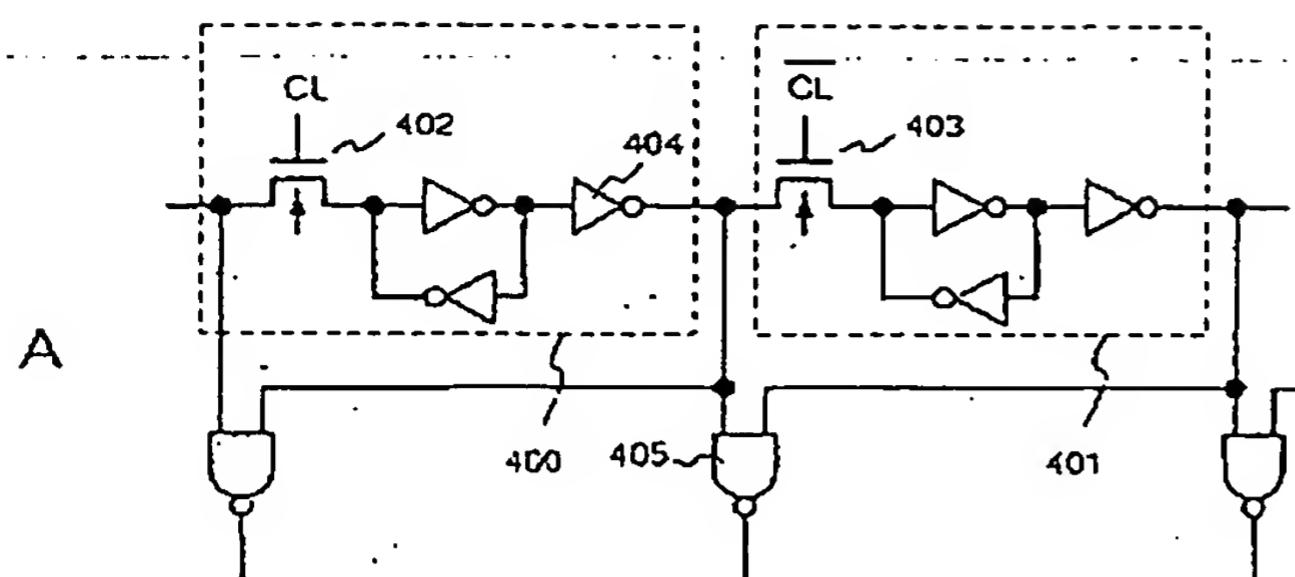


583

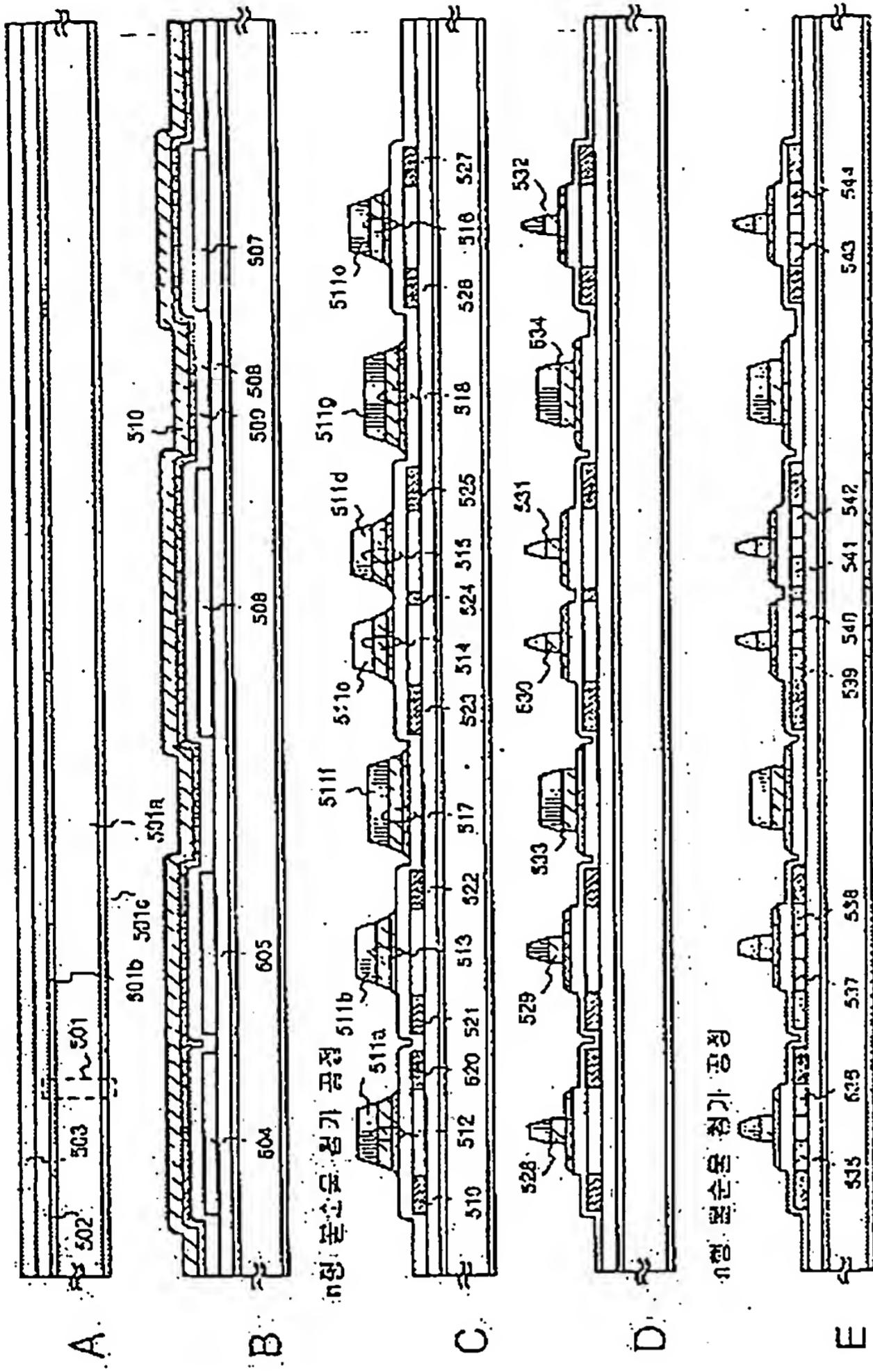


35-19

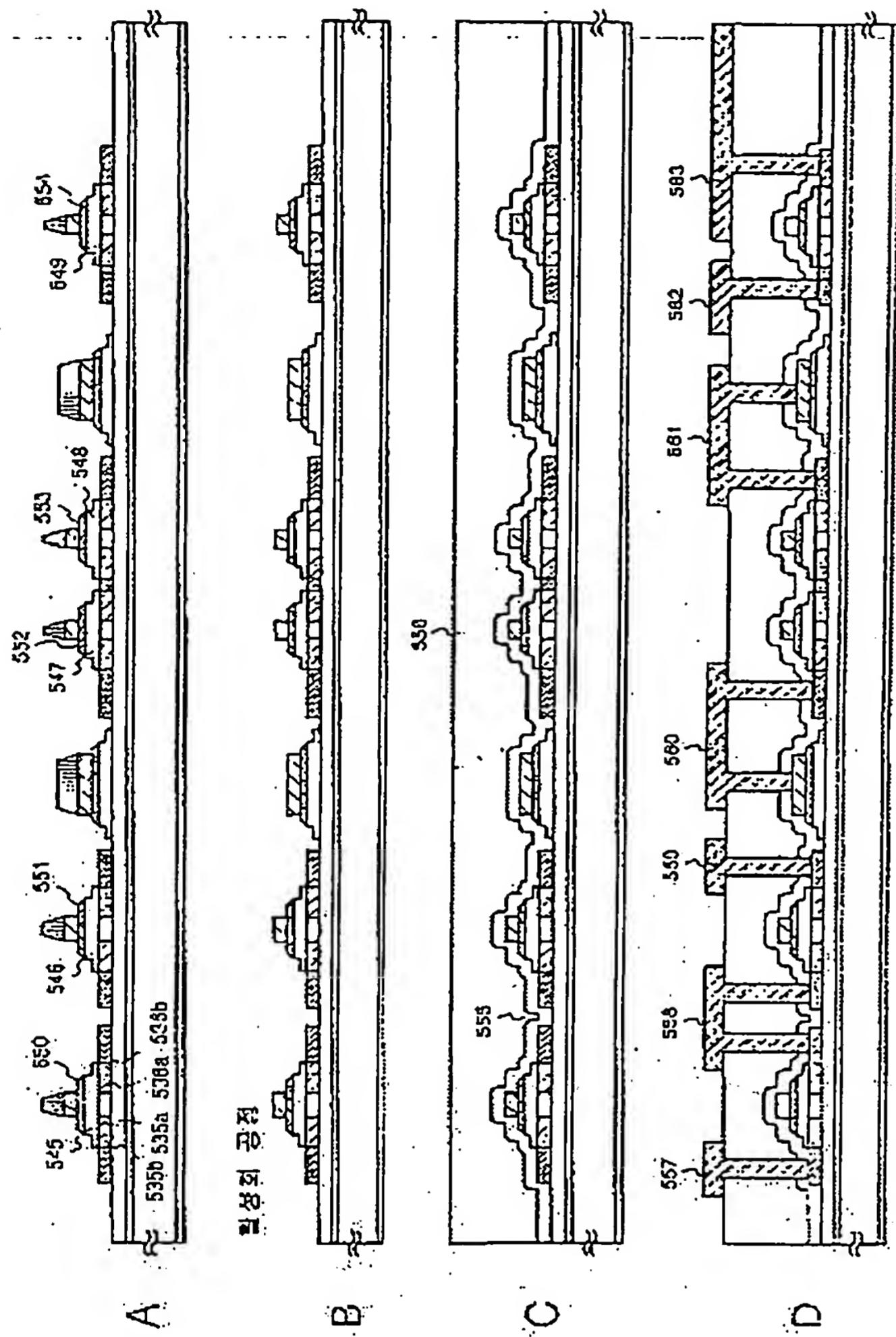
524



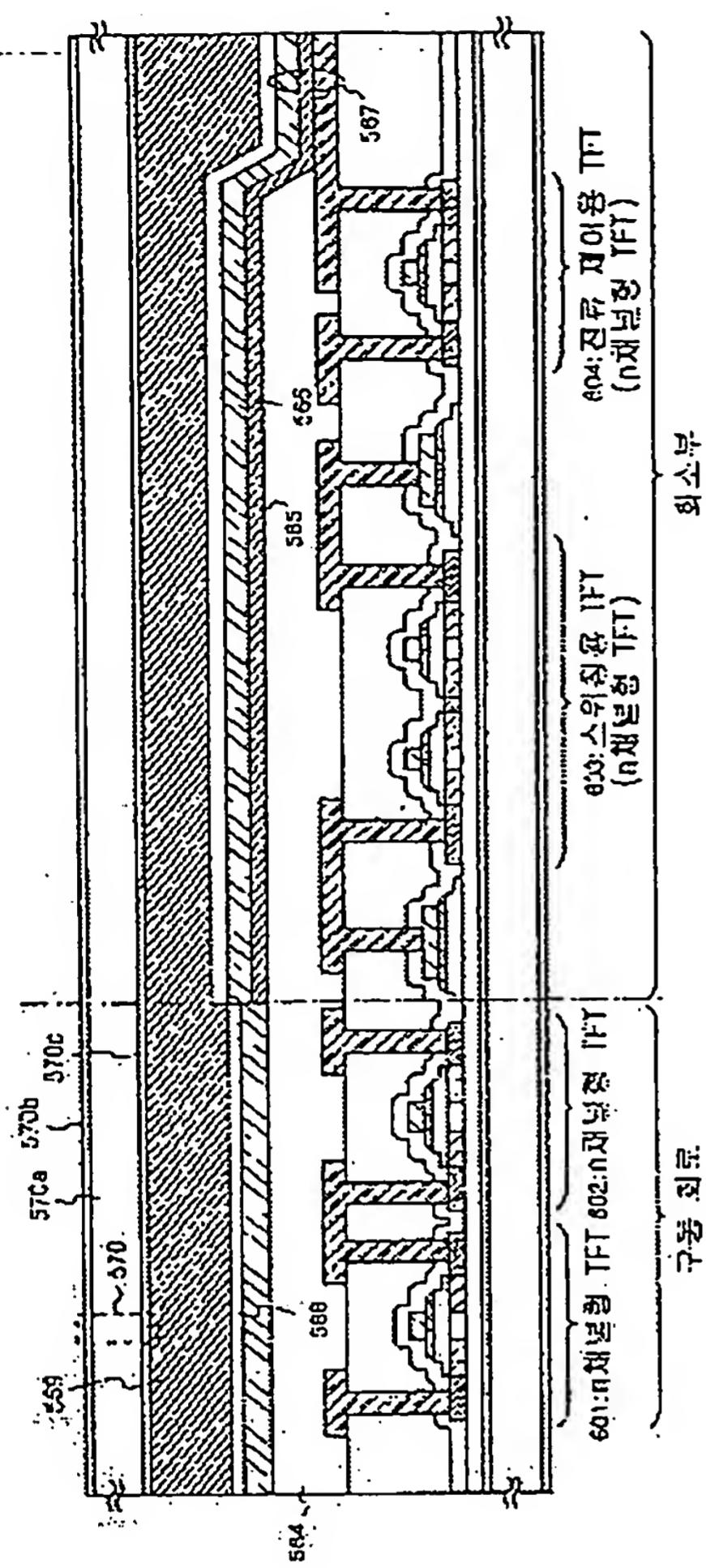
505



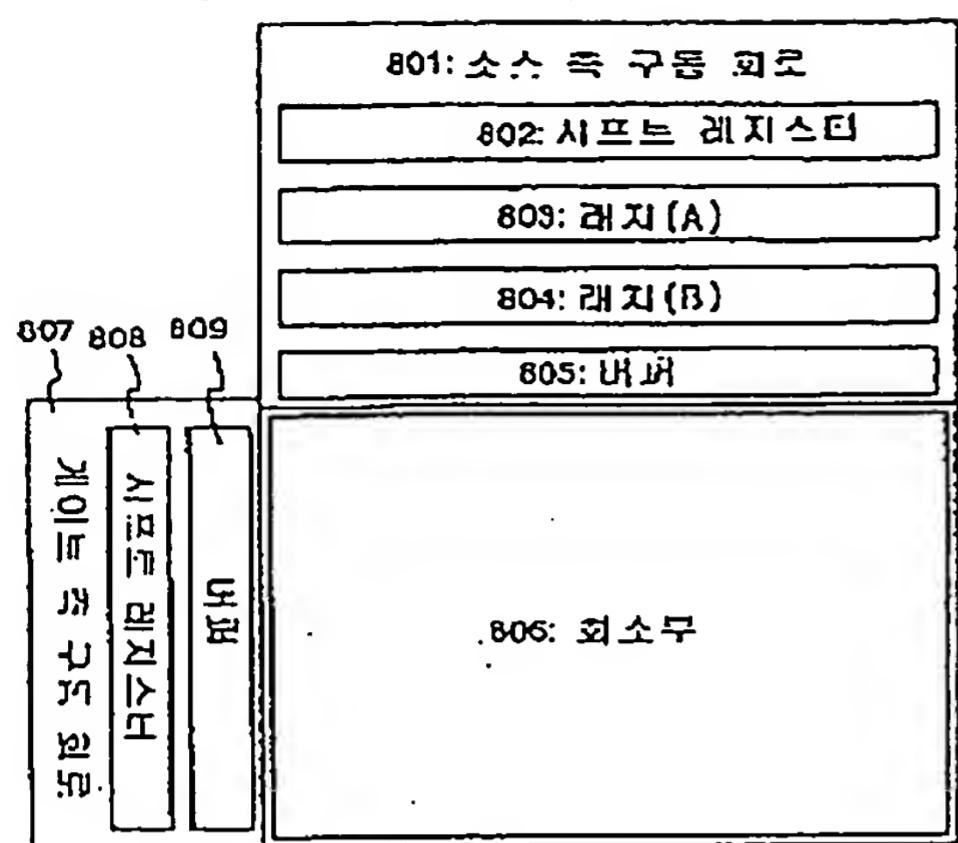
520



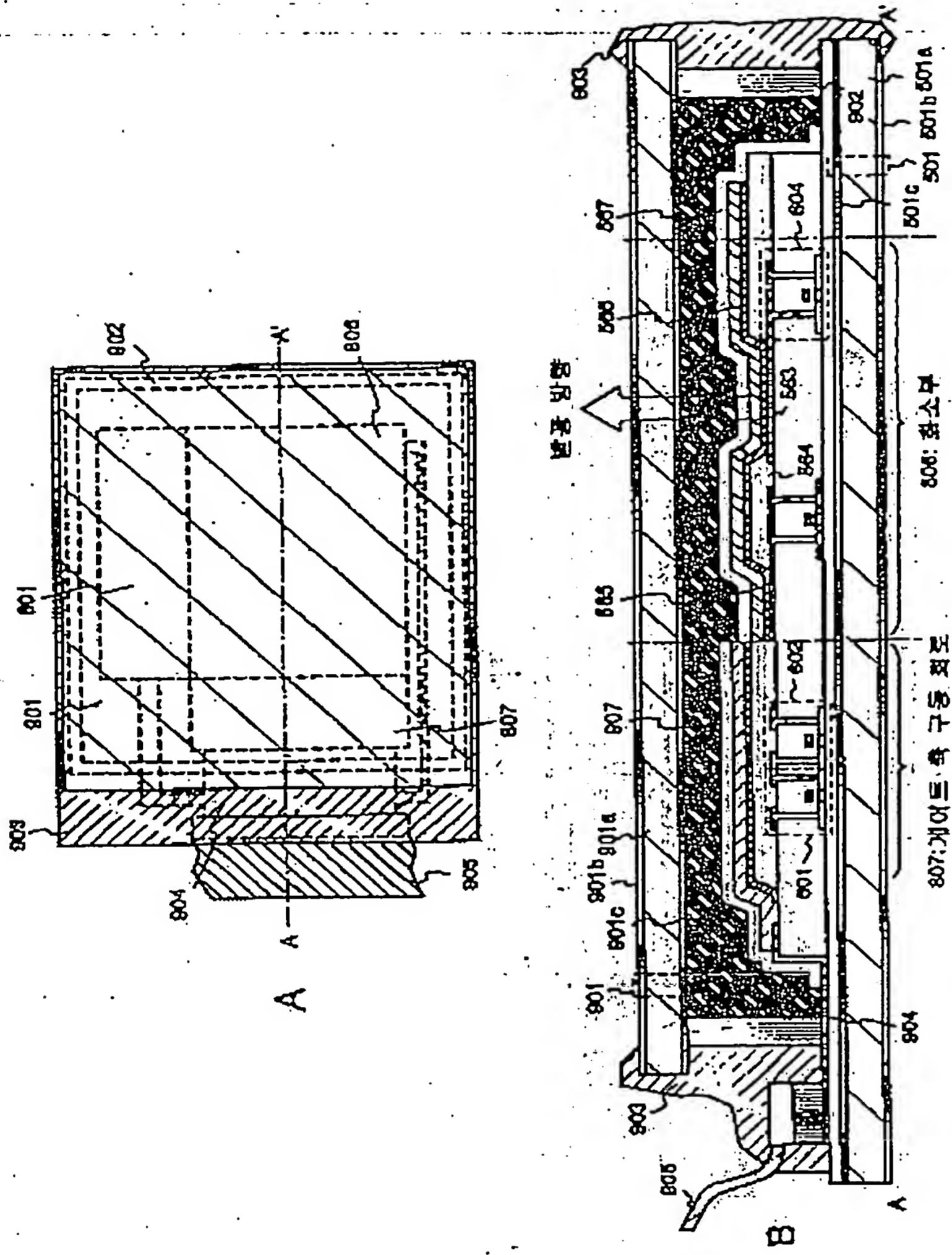
도면7



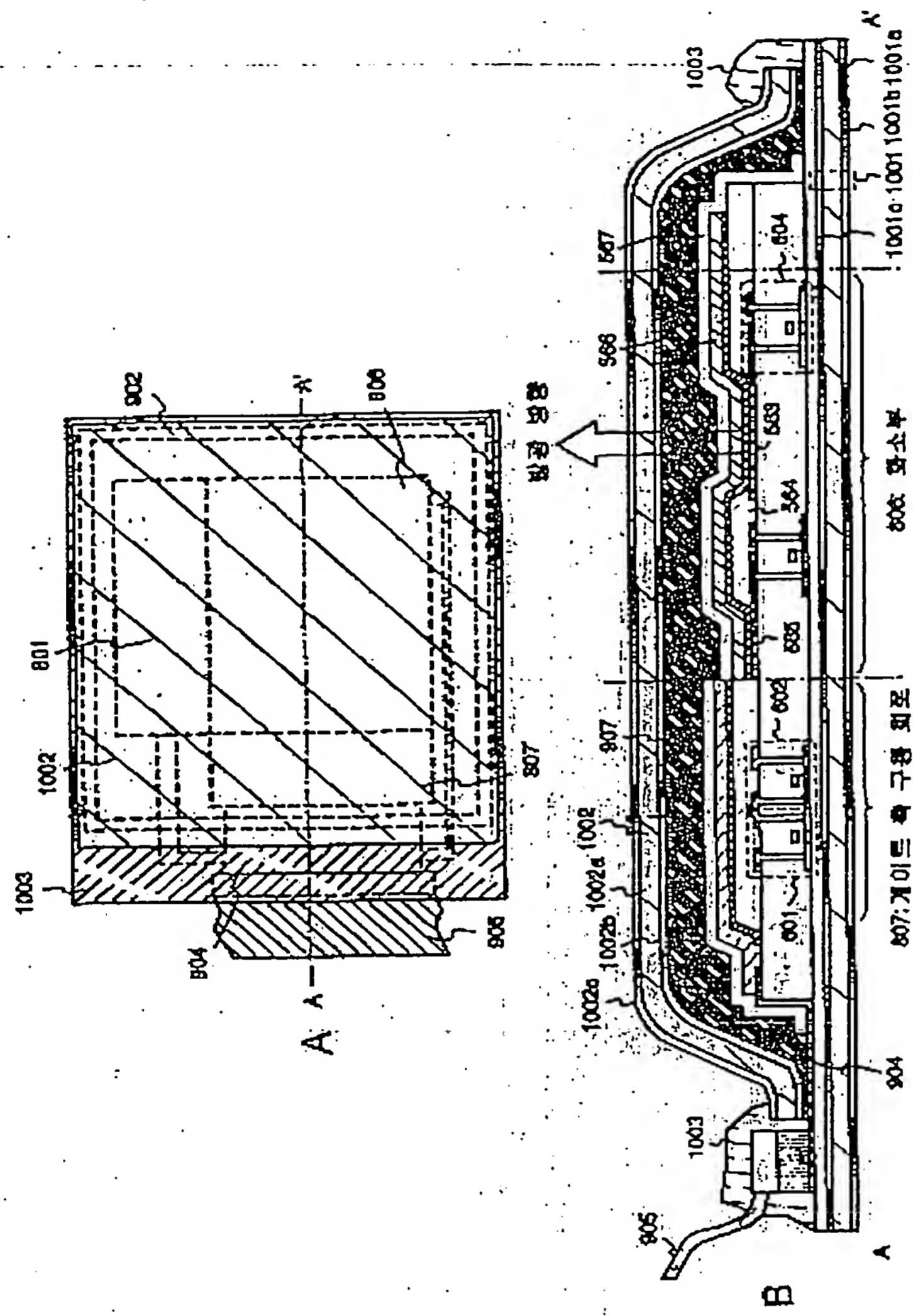
도면8



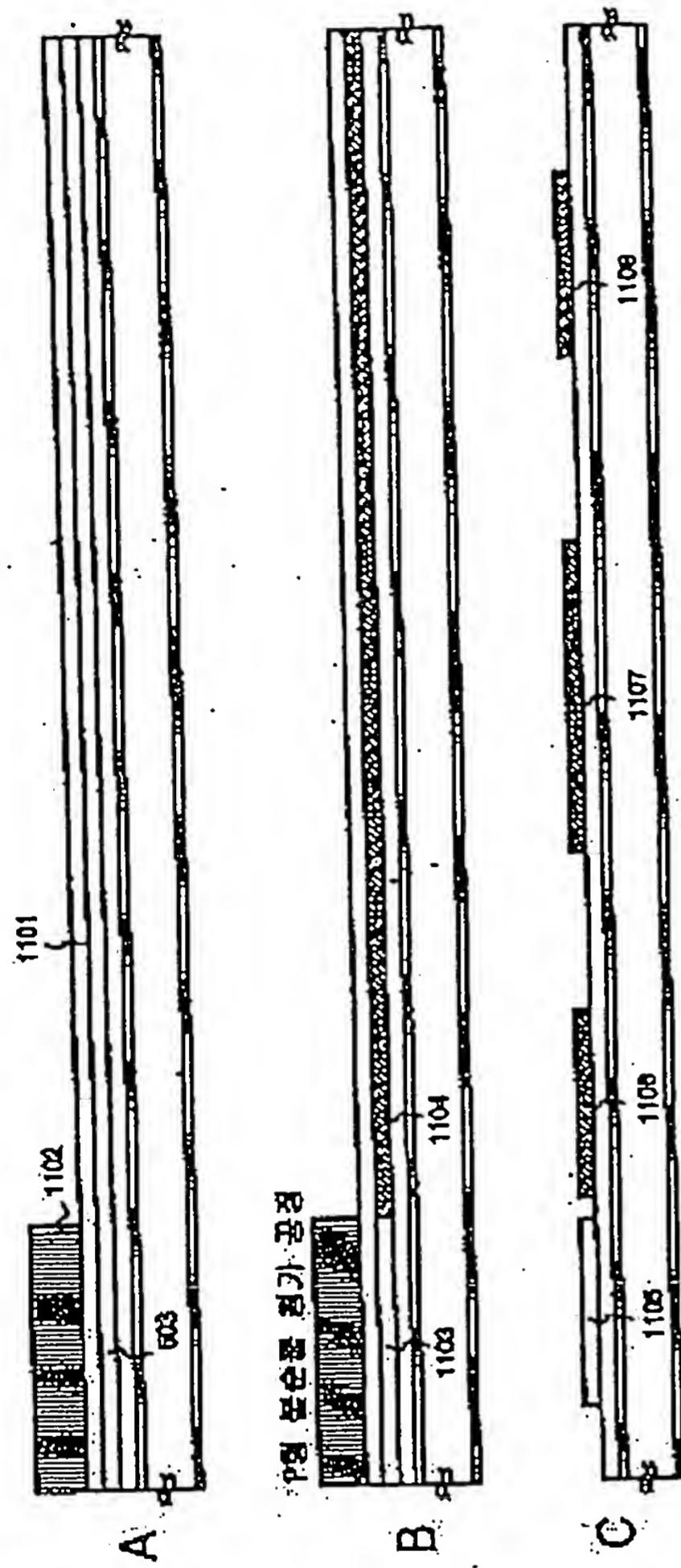
도면



도서 10

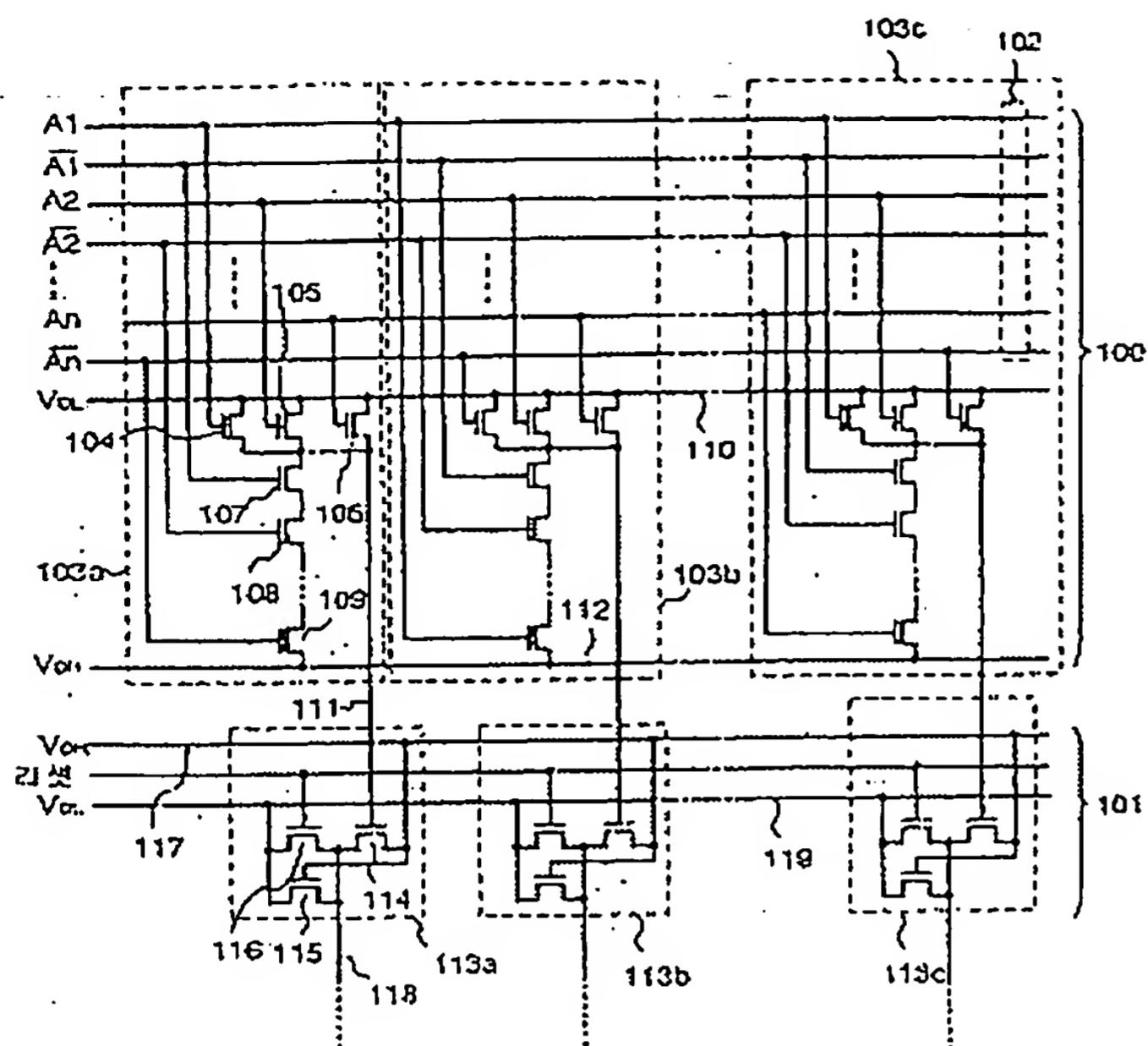


1101

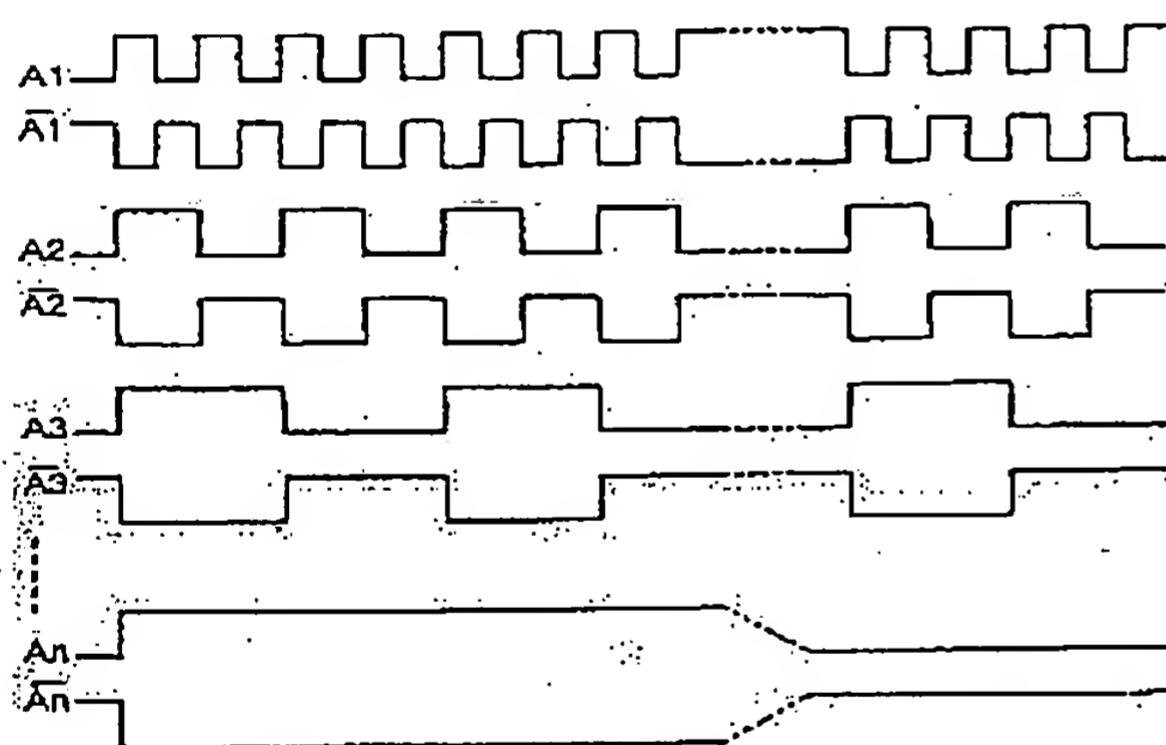


35-27

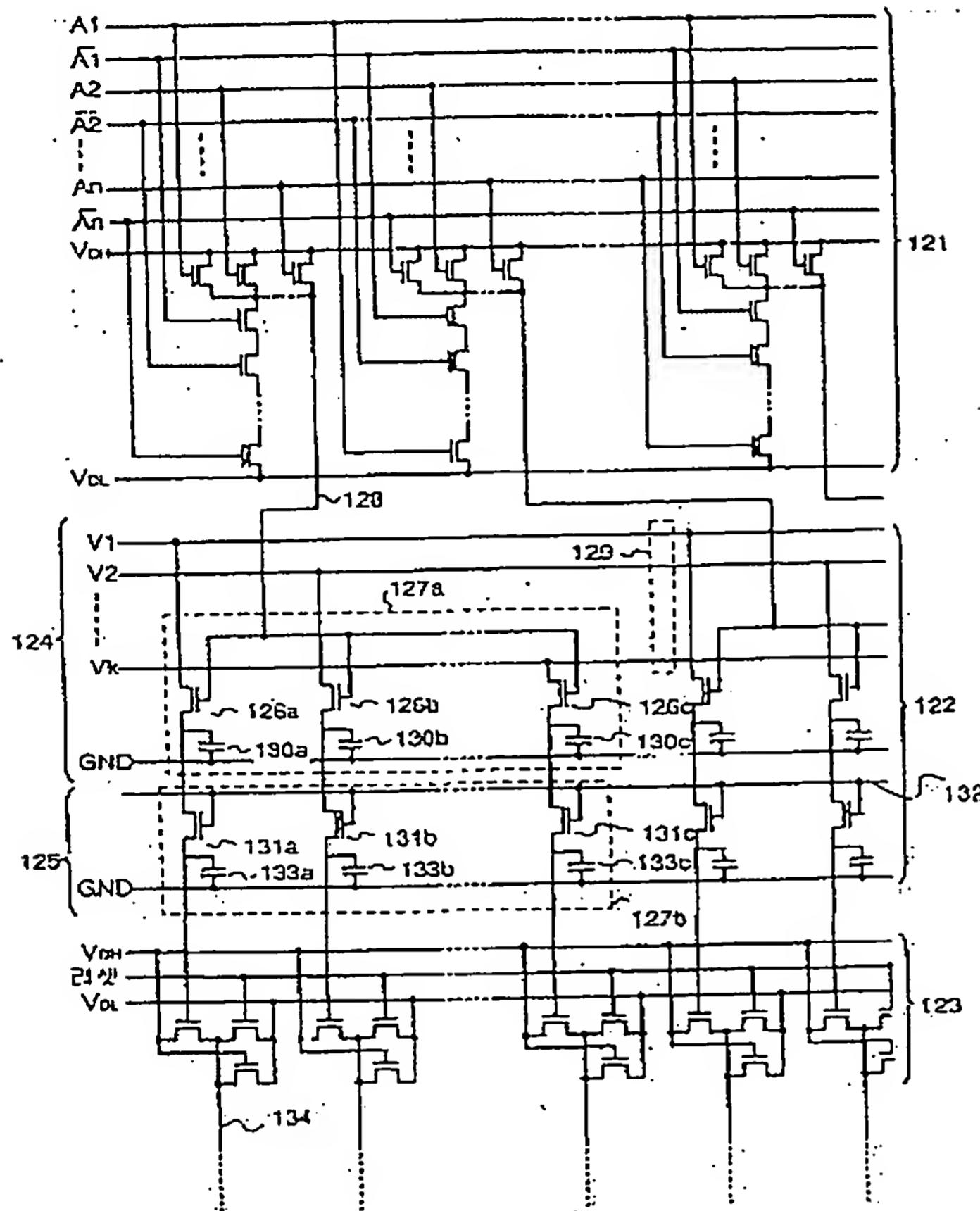
도면12

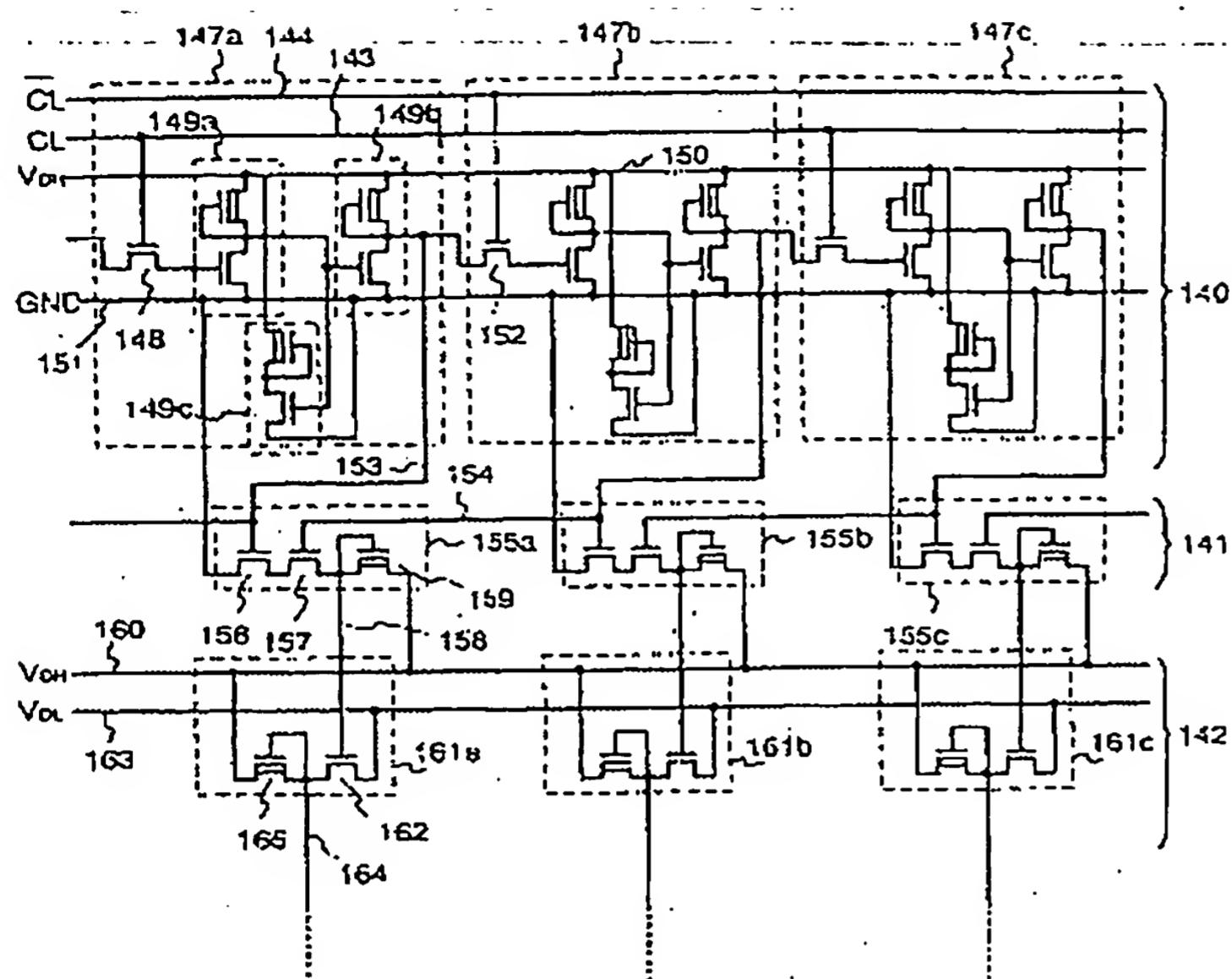


도면13

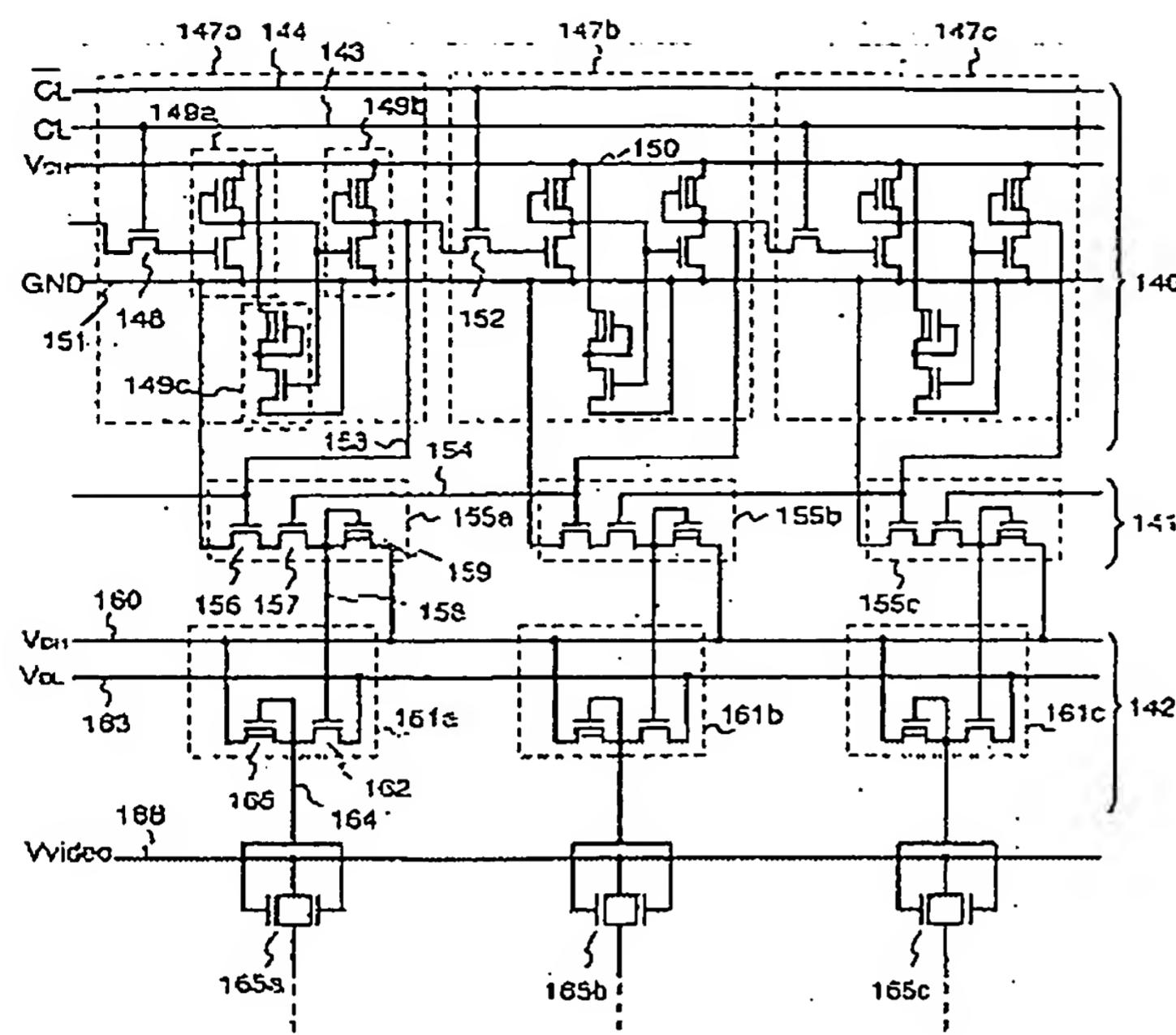


5814

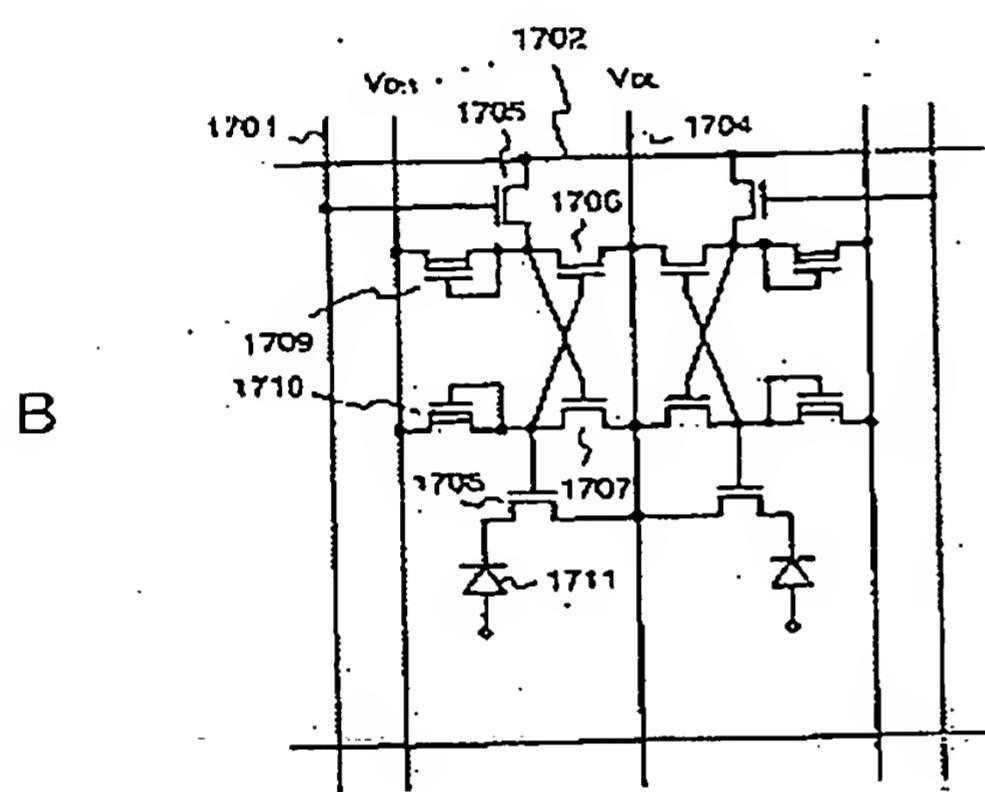
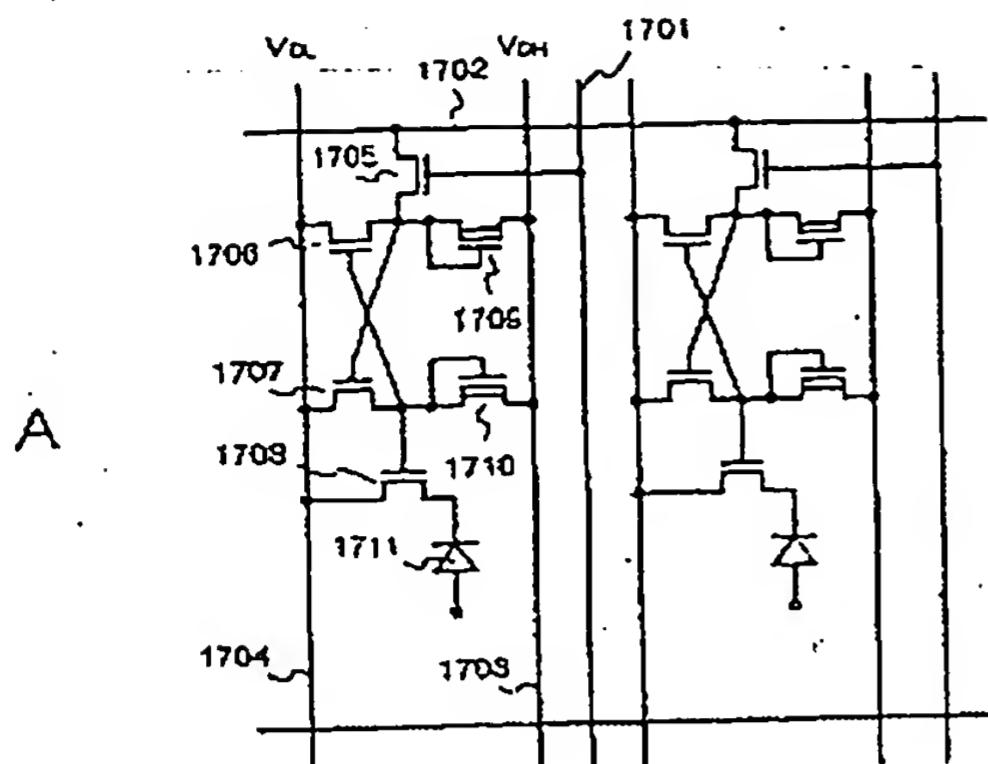


6015

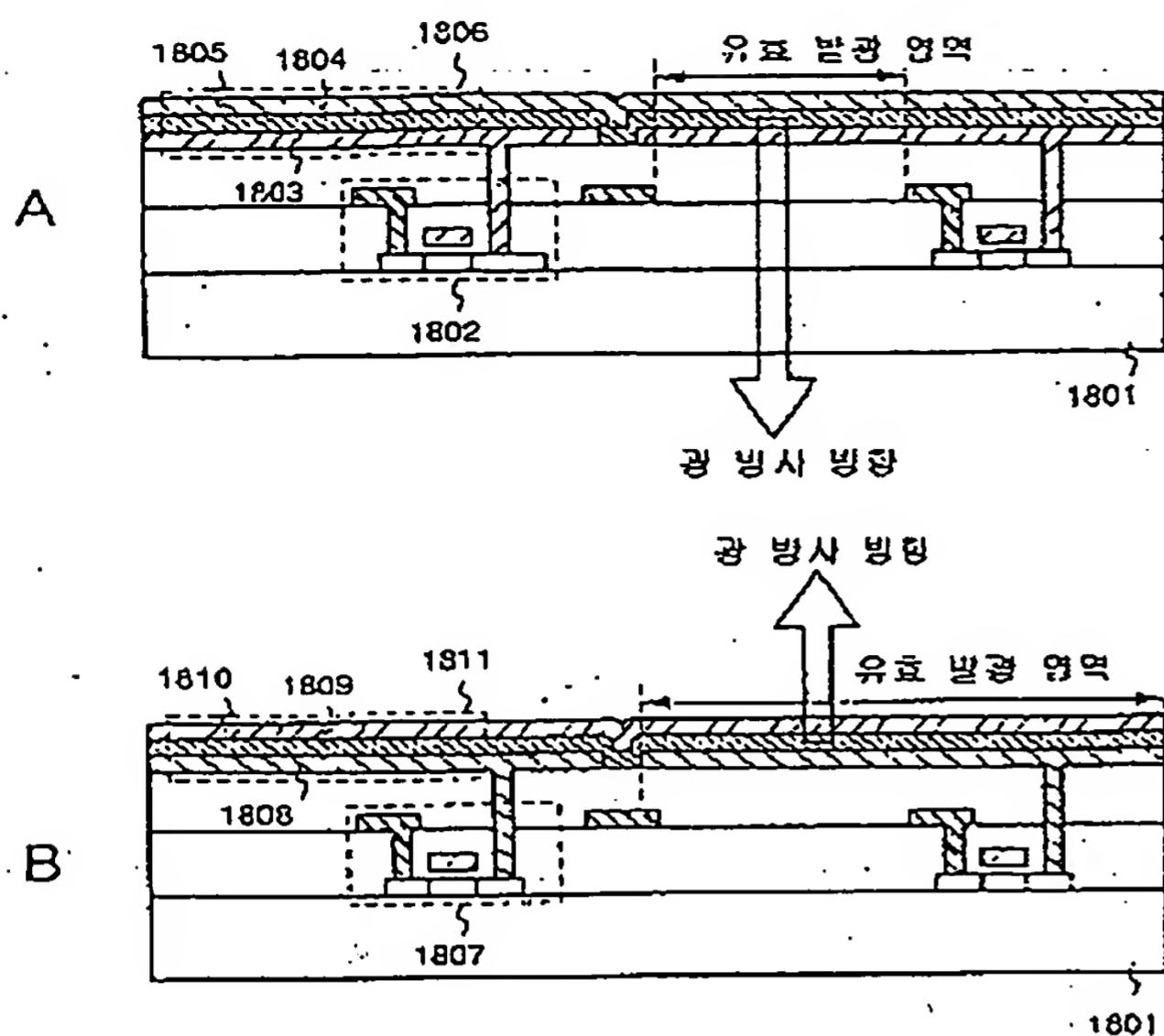
5818



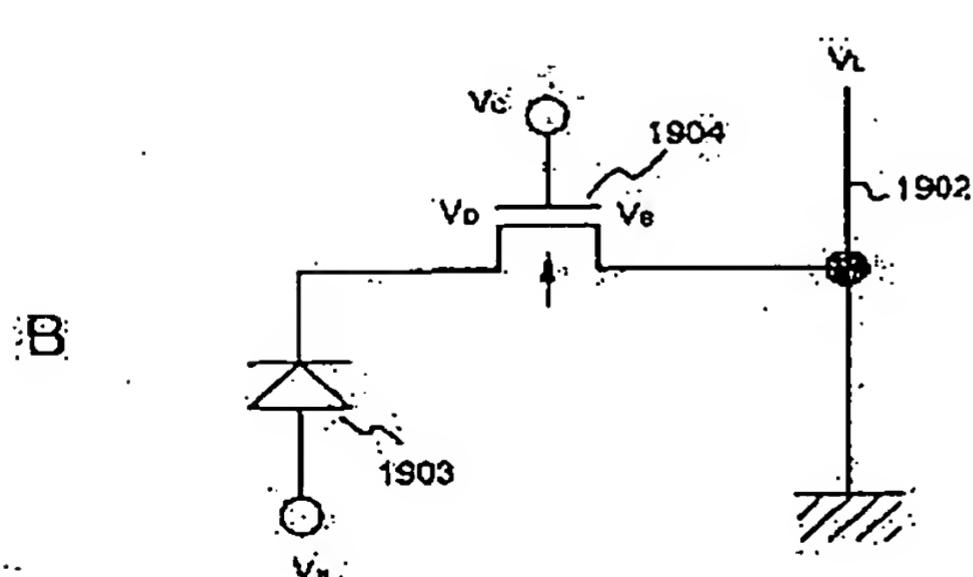
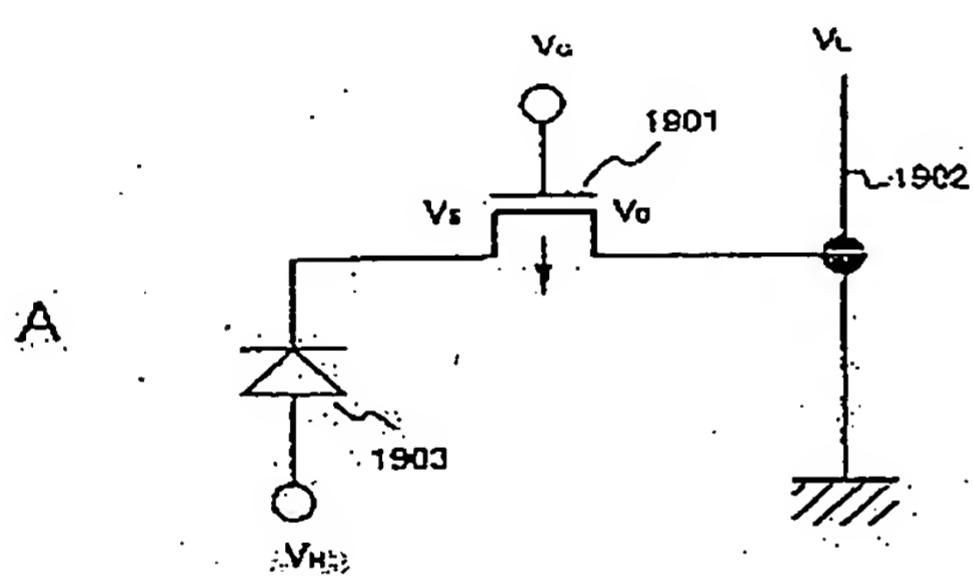
도면17



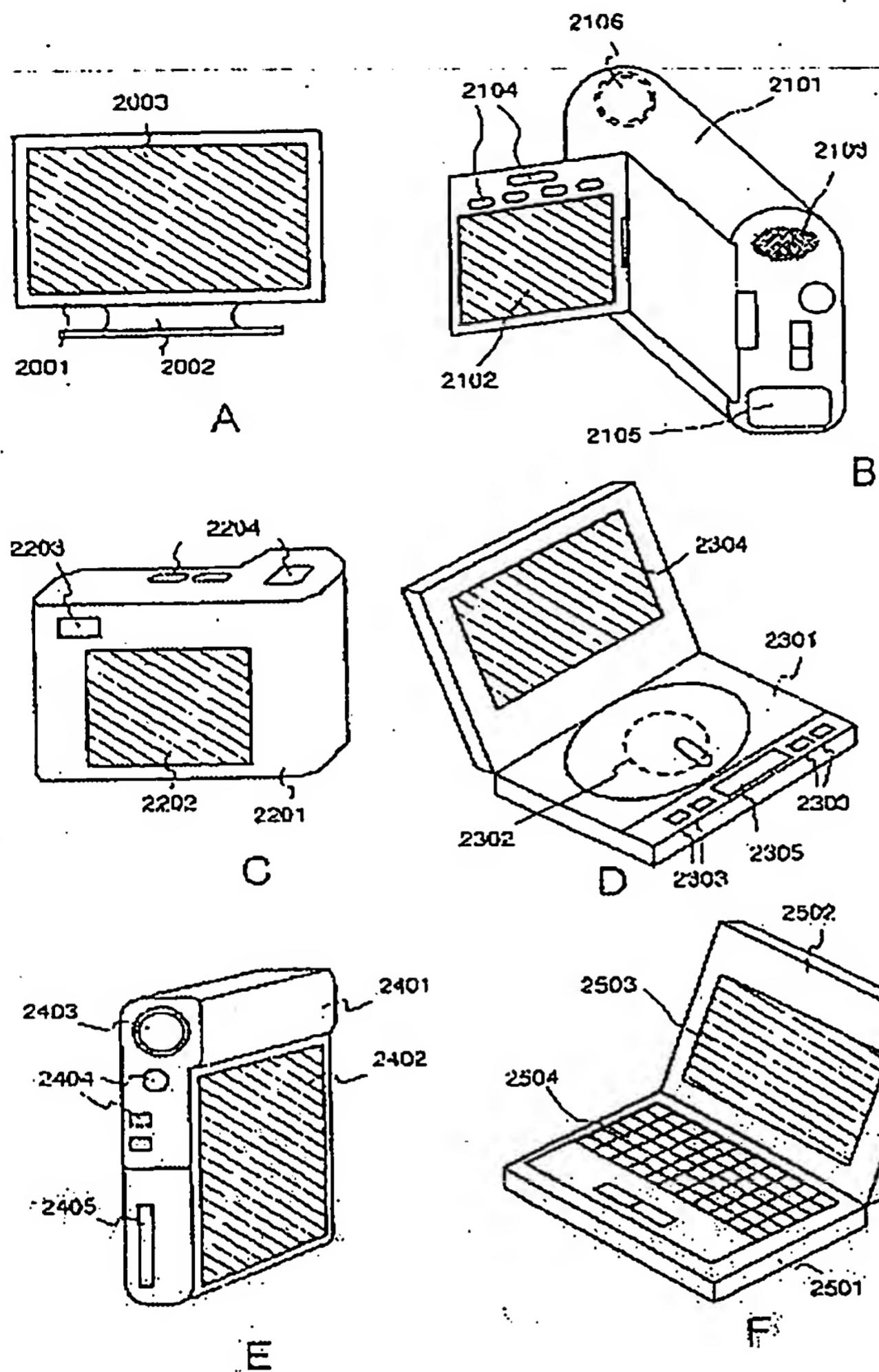
도면 18



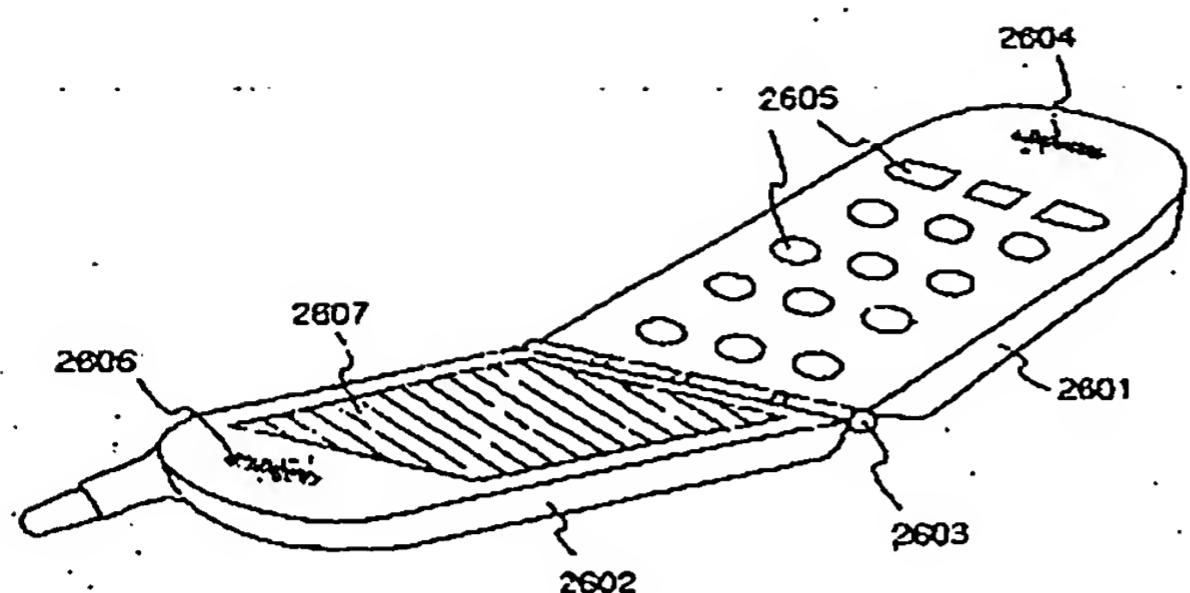
도면 19



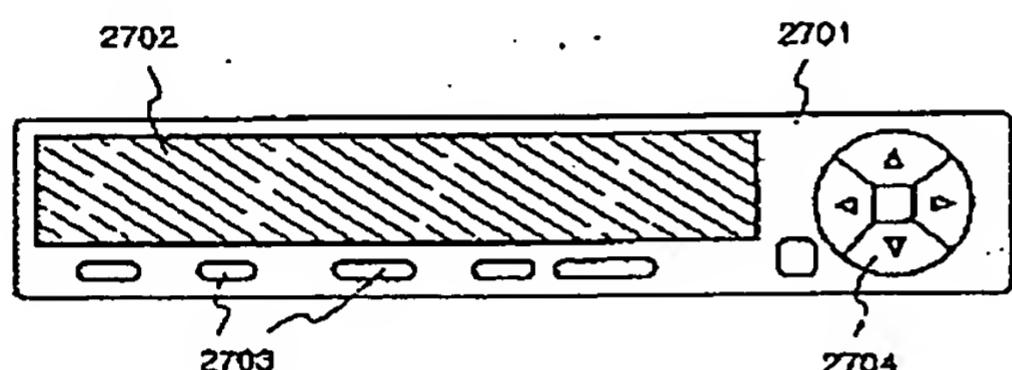
도면20



5821



A



B

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.